

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-45892
(P2003-45892A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/00	3 3 8 5 C 0 9 4
G 0 9 F 9/00	3 3 8		3 4 2 Z 5 F 0 4 8
	3 4 2	9/30	3 3 8 5 F 1 1 0
9/30	3 3 8		3 4 8 A 5 G 4 3 5

審査請求 未請求 請求項の数11 O L (全 40 頁) 最終頁に続く

(21) 出願番号 特願2001-235283(P2001-235283)

(22) 出願日 平成13年8月2日 (2001.8.2)

(71) 出願人 302036002

富士通ディスプレイテクノロジーズ株式会
社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 梁井 健一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100108187

弁理士 横山 淳一

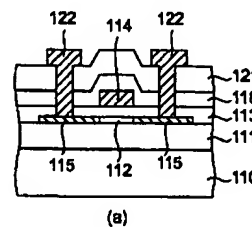
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ装置及びその製造方法

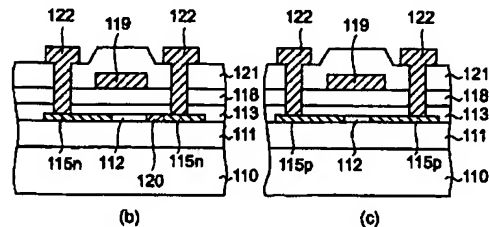
(57) 【要約】

・【課題】 低電圧駆動用TFT及び高電圧駆動用TFTがいずれも良好な特性を有する薄膜トランジスタ装置及びその製造方法を提供する。

・【解決手段】 液晶表示装置の場合、低電圧 (3.3V 又は5V) で駆動するTFTのゲート絶縁膜を1層の絶縁膜113で構成し、例えば30nmの厚さとする。このTFTは、LDD領域 (低濃度不純物領域) を有しない構造とする。高電圧 (18V) で駆動するCMOSのTFTは、ゲート絶縁膜を2層の絶縁膜113、118で構成し、例えば130nmの厚さとする。n型TFTでは、ドレイン側に低濃度不純物領域120を設け、p型TFTではLDDを有しない構造とする。画素TFTのゲート絶縁膜も2層の絶縁膜113、118で構成し、ソース・ドレインの双方にLDD領域を設ける。

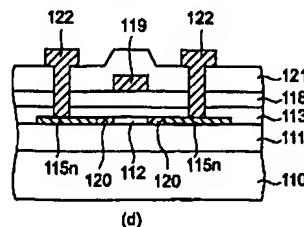


(a)



(b)

(c)



(d)

・【特許請求の範囲】

・【請求項1】 基板上に形成された第1、第2及び第3の半導体膜と、第1及び第2の絶縁膜と、第1、第2及び第3のゲート電極とにより構成される第1、第2及び第3の薄膜トランジスタを有し、

前記第1の薄膜トランジスタ形成領域では、前記第1の半導体膜の上に前記第1の絶縁膜が形成され、前記第1の絶縁膜の上に前記第1のゲート電極が形成され、前記第1の絶縁膜及び前記第1のゲート電極の上に前記第2の絶縁膜が形成され、前記第1の半導体膜にはチャンネル領域側の先端が前記第1のゲート電極のエッジの下方に位置する一対の高濃度不純物領域が形成されて前記第1の薄膜トランジスタを構成し、

前記第2の薄膜トランジスタ形成領域では、前記第2の半導体膜の上に前記第1及び第2の絶縁膜が積層され、前記第2の絶縁膜の上に前記第2のゲート電極が形成され、前記第2の半導体膜には、上から見たときに少なくとも一方のチャンネル領域側先端部分が前記第2のゲート電極のエッジ部分に重なる一対の高濃度不純物領域が形成されて前記第2の薄膜トランジスタを構成し、

前記第3の薄膜トランジスタ形成領域では、前記第3の半導体膜の上に前記第1及び第2の絶縁膜が積層され、前記第2の絶縁膜の上に前記第3のゲート電極が形成され、前記第3の半導体膜には一対の高濃度不純物領域と、該高濃度不純物領域とチャンネル領域との間に配置され、チャンネル領域側の先端が前記第3のゲート電極のエッジの下方に位置する一対の低濃度不純物領域が形成されて前記第3の薄膜トランジスタを構成することを特徴とする薄膜トランジスタ装置。

・【請求項2】 基板上に半導体膜を形成し、この半導体膜をパターンニングして、第1、第2及び第3の半導体膜を形成する工程と、

前記基板上に前記第1、第2及び第3の半導体膜を被覆する第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の金属膜を形成し、この第1の金属膜をパターンニングして、前記第1の半導体膜の上方の前記第1の絶縁膜の上に第1のゲート電極を形成し、前記第2及び第3の半導体膜の上方の前記第1の絶縁膜の上に第1及び第2の金属パターンを形成する工程と、

前記第1のゲート電極、前記第1及び第2の金属パターンをマスクにして前記第1、第2及び第3の半導体膜に不純物を注入する第1の不純物注入工程と、

前記第1及び第2の金属パターンを除去する工程と、

前記第1、第2及び第3の半導体膜の上方の前記第1の絶縁膜及び前記第1のゲート電極の上に第2の絶縁膜を形成する工程と、

前記第2及び第3の半導体膜の上方の前記第2の絶縁膜の上に第2及び第3のゲート電極を形成する工程と、

前記第3のゲート電極をマスクにして前記第3の半導体

膜に不純物を注入する第2の不純物注入工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【請求項3】 基板上に形成された第1及び第2の薄膜トランジスタを有し、

前記第1の薄膜トランジスタは、

チャンネル領域を挟んで形成された一対の高濃度不純物領域を有する第1の半導体膜と、

前記第1の半導体膜のチャンネル領域及び前記一対の高濃度不純物領域の上に形成された第1のゲート絶縁膜と、

10 前記第1のゲート絶縁膜上に形成された第1のゲート電極とにより構成され、前記第2の薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャンネル領域との間に形成された一対の低濃度不純物領域とを有する第2の半導体膜と、

前記第2の半導体膜の前記チャンネル領域及び前記低濃度不純物領域の上を覆う厚膜部と前記高濃度不純物領域の上を覆う薄膜部とにより構成される第2のゲート絶縁膜と、

20 前記第2のゲート絶縁膜の前記厚膜部の上に形成された第2のゲート電極とにより構成されていることを特徴とする薄膜トランジスタ装置。

・【請求項4】 基板上に形成された第1及び第2の薄膜トランジスタを有し、

前記第1の薄膜トランジスタは、

チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャンネル領域との間に不純物を注入して形成された一対の擬似LDD領域とを有する第1の半導体膜と、

30 前記第1の半導体膜のチャンネル領域及び前記擬似LDD領域の上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された第1のゲート電極とにより構成され、

前記第2の薄膜トランジスタは、

チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの不純物領域と前記チャンネル領域との間に配置されて前記第1の薄膜トランジスタの前記擬似LDD領域よりも不純物濃度が低い低濃度不純物領域とを有する第2の半導体膜と、

40 前記第2の半導体膜の前記チャンネル領域及び前記低濃度不純物領域の上に前記第1のゲート絶縁膜よりも厚く形成された第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された第2のゲート電極とにより構成されていることを特徴とする薄膜トランジスタ装置。

・【請求項5】 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、

前記第1及び第2の半導体膜のうち第2の半導体膜の上にのみ第1の絶縁膜を形成する工程と、

前記基板の上側全面に第2の絶縁膜を形成する工程と、
前記第1の半導体膜の上方の前記第2の絶縁膜の上に第1のゲート電極を形成し、前記第2の半導体膜の上方の前記第2の絶縁膜の上に前記第1の絶縁膜よりも狭い幅で第2のゲート電極を形成する工程と、

前記第2の絶縁膜を透過する条件で前記第1及び第2の半導体膜に不純物をイオン注入して第1のゲート電極を挟む位置及び前記第1の絶縁膜を挟む位置にそれぞれ高濃度不純物領域を形成し、前記第2の半導体膜上に積層した前記第1及び第2の絶縁膜を透過する条件で前記第2の半導体膜に不純物をイオン注入して前記第2のゲート電極を挟む位置に低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【請求項6】 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、

前記第1及び第2の半導体膜のうち第2の半導体膜の上にのみ第1の絶縁膜を形成する工程と、

前記基板の上側全面に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜の上に導電体膜を形成する工程と、
前記第1の半導体膜の上方の前記導電体膜の上に第1のマスクパターンを形成するとともに、前記第2の半導体膜の上方の前記導電体膜の上に第2のマスクパターンを形成する工程と、

前記第1及び第2のマスクパターンをマスクとして前記導電体膜をサイドエッチングし、前記第1及び第2のマスクパターンよりも幅が狭い第1及び第2のゲート電極を形成する工程と、

前記第1及び第2のマスクパターンをマスクとして前記第1及び第2の絶縁膜を異方性エッチングして前記第1の半導体膜上に第1のゲート絶縁膜を形成し、前記第2の半導体膜上に第2のゲート絶縁膜を形成する工程と、
前記マスクパターンを除去する工程と、

前記第1の半導体膜の前記第1のゲート電極の両側にそれぞれ不純物をイオン注入して一対の高濃度不純物領域を形成し、前記第2の半導体膜の前記第2のゲート電極の両側にそれぞれ不純物をイオン注入して一対の高濃度不純物領域を形成し、更に前記第2のゲート電極をマスクとし、前記第2のゲート絶縁膜を透過する条件で前記第2の半導体膜に不純物をイオン注入して前記第2のゲート電極の両側に一対の低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【請求項7】 基板上に形成された高電圧駆動用薄膜トランジスタと低電圧駆動用薄膜トランジスタとを有し、

10

20

30

40

50

前記高電圧駆動用薄膜トランジスタのゲート絶縁膜は、第1及び第2の絶縁膜を積層して構成され、
前記低電圧駆動用トランジスタのゲート電極の下方のゲート絶縁膜のうち、前記低電圧駆動用トランジスタの半導体膜のエッジ部分と前記ゲート電極とが交差する部分が前記第1及び第2の絶縁膜を積層して構成され、他の部分が第2の絶縁膜の単層で構成されていることを特徴とする薄膜トランジスタ装置。

・【請求項8】 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、

前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、

前記第1の半導体膜の中央部上の前記第1の絶縁膜をウェットエッチングで除去する工程と、

前記基板の上側全面に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜の上に導電体膜を形成する工程と、

前記導電体膜上に所定のゲート電極形状のレジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記導電体膜をサイドエッチングし、前記第1の半導体膜の上方に第1のゲート電極を形成し、前記第2の半導体膜の上方に第2のゲート電極を形成する工程と、

前記レジストパターンをマスクとして前記第1及び第2の絶縁膜を異方性エッチングする工程と、

前記第1及び第2の半導体膜に不純物を注入する不純物注入工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【請求項9】 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、

前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、

前記第1の半導体膜の中央部上、及び前記第2の半導体膜の高濃度不純物領域となる領域上の前記第1の絶縁膜をウェットエッチングで除去する工程と、

前記基板の上側全面に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜の上に導電体膜を形成する工程と、

前記導電体膜上に所定のゲート電極形状のレジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記導電体膜をエッチングし、前記第1の半導体膜の上方に第1のゲート電極を形成し、前記第2の半導体膜の上方に第2のゲート電極を形成する工程と、

前記第1及び第2の半導体膜に不純物を注入する不純物注入工程とを有することを特徴とする薄膜トランジスタ

装置の製造方法。

・【請求項10】 基板上に形成された高電圧駆動用薄膜トランジスタと低電圧駆動用薄膜トランジスタとを有し、

前記低電圧駆動用薄膜トランジスタは、
チャンネル領域を挟んで形成された一対の高濃度不純物領域を有する第1の半導体膜と、

前記第1の半導体膜の前記チャンネル領域上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜の上に形成された第1のゲート電極とにより構成され、

前記高電圧駆動用薄膜トランジスタは、

チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャンネル領域との間に形成された低濃度不純物領域とを有する第2の半導体膜と、

前記チャンネル領域及び前記低濃度不純物領域の上に前記第1のゲート絶縁膜よりも厚く形成された第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された第2のゲート電極とにより構成されていることを特徴とする薄膜トランジスタ装置。

・【請求項11】 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、

前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、

前記第1の半導体膜の上方の前記第1の絶縁膜の上に第1のゲート電極を形成する工程と、

前記基板の上側全面に第2の絶縁膜を形成する工程と、

前記第2の半導体膜の上方の前記第2の絶縁膜の上に第2のゲート電極を形成する工程と、

前記第1及び第2の絶縁膜をエッチングして、前記第1のゲート電極の下方に第1のゲート絶縁膜を形成し、前記第2のゲート電極の下方に第2のゲート電極よりも幅が広い第2のゲート絶縁膜を形成する工程と、

前記第1の半導体膜の前記第1のゲート電極の両側部に不純物を注入して一対の高濃度不純物領域を形成するとともに、前記第2の半導体膜の前記第2のゲート絶縁膜の両側部に不純物を注入して一対の高濃度不純物領域を形成し、更に前記第2のゲート絶縁膜を透過する条件で前記第2の半導体膜に不純物を導入して前記第2のゲート電極の両側部に一対の低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】 本発明は、ゲート絶縁膜の膜

厚が異なる少なくとも2種類の薄膜トランジスタを有する薄膜トランジスタ装置及びその製造方法に関し、特に周辺回路一体型液晶表示装置及び有機EL表示装置に適用できる薄膜トランジスタ装置及びその製造方法に関する。

・【0002】

・【従来の技術】 ノートパソコン及び携帯端末等の電子機器の表示装置として、液晶表示パネルや有機EL (Electro Luminescence) 表示パネルが使用されている。これらの表示パネルでは水平方向及び垂直方向に複数の画素が配列されており、各画素に供給する電圧を制御することによって、所望の画像を表示している。アクティブマトリクス型液晶表示パネルでは、各画素毎に1又は複数のTFT (薄膜トランジスタ: Thin Film Transistor) が設けられている。

・【0003】 近年、ドライバ (駆動回路) 等の周辺回路を表示パネルの基板上に形成する周辺回路一体型表示パネルの開発が進められており、一部の製品には実用化されている。また、メモリ及び画像補正用演算回路や、高度のデータ処理機能を有する演算回路を表示パネル上に形成する、いわゆるシステムオングラスの開発が進められている。

・【0004】 図56は、従来の周辺回路一体型液晶表示装置に用いられているTFT (n型) の一例を示す断面図である。基板10上にはシリコン酸化膜等からなる下地絶縁膜11が形成されており、この下地絶縁膜11上にはTFTの動作層となるポリシリコン膜12が選択的に形成されている。このポリシリコン膜12には、n型不純物を高濃度に導入して形成された一対の高濃度不純物領域 (ソース・ドレイン) 13がチャンネル領域を挟んで形成されており、これらの高濃度不純物領域13のチャンネル領域側の先端部には、n型不純物を低濃度に導入して形成された低濃度不純物領域 (Lightly Doped Drain: 以下、LDD領域ともいう) 14がそれぞれ形成されている。

・【0005】 下地絶縁膜11及びポリシリコン膜12の上には、シリコン酸化膜等からなるゲート絶縁膜15が形成されており、ゲート絶縁膜15の上にはゲート電極16が形成されている。また、ゲート絶縁膜15及びゲート電極16の上にはシリコン酸化膜等からなる層間絶縁膜17が形成されている。層間絶縁膜17の上には電極 (ソース電極及びドレイン電極) 18が形成されている。これらの電極18は、層間絶縁膜17及びゲート絶縁膜15に形成されたコンタクトホールを介して、高濃度不純物領域13に電気的に接続されている。

・【0006】 図56に示すように、周辺回路一体型液晶表示装置のTFTは、一般的に、ホットキャリアによるオン特性の劣化を抑制し、かつオフ電流を低減するために、高濃度不純物領域13のチャンネル領域側の先端部に低濃度不純物領域14が設けられたLDD構造を有して

10

20

30

40

50

いる。上から見たときに、低濃度不純物領域14のエッジは、ゲート電極14のエッジのほぼ真下に位置している。なお、低濃度不純物領域14に対応する位置に不純物を導入しないで、オフセット領域とすることもある。

・【0007】図57(a)、(b)は、いずれも従来のTFTの他の例を示す図である。図57(a)は低電圧駆動用TFTの構造を示し、図57(b)は高電圧駆動用TFTの構造を示している。これらの低電圧駆動用TFT及び高電圧駆動用TFTは同一の基板20上に形成されている。基板20の上には下地絶縁膜21が形成されており、下地絶縁膜21の上にはTFTの動作層となるポリシリコン膜22が形成されている。下地絶縁膜21は例えばシリコン酸化膜(SiO₂)からなり、厚さは約80nmである。また、ポリシリコン膜22の厚さは約50nmである。

・【0008】図57(a)に示すように、低電圧駆動用TFTのポリシリコン膜22には、チャネル領域を挟んで、ソース・ドレインとなる一対の高濃度不純物領域23が形成されている。低電圧駆動用TFTのポリシリコン膜22のチャネル領域の上には薄いゲート絶縁膜25aが形成されており、このゲート絶縁膜25aの上にゲート電極26aが形成されている。ゲート絶縁膜25aは例えばシリコン酸化膜からなり、厚さは約30nmである。

・【0009】一方、図57(b)に示すように、高電圧駆動用TFTのポリシリコン膜22には、チャネル領域を挟んで形成された一対の高濃度不純物領域23と、これらの高濃度不純物領域23とチャネル領域との間に形成された低濃度不運物領域(LDD領域)24とが形成されている。高電圧駆動用TFTのポリシリコン膜のチャネル領域及び低濃度不純物領域24の上には厚いゲート絶縁膜25bが形成されており、このゲート絶縁膜25bの上にはゲート電極26bが形成されている。ゲート絶縁膜25bは例えばシリコン酸化膜からなり、厚さは約130nmである。また、低電圧駆動用TFT及び高電圧駆動用TFTのゲート電極26a、26bは例えばCr(クロム)からなり、厚さは約400nmである。

・【0010】これらのポリシリコン膜22、ゲート電極26a、26bは、シリコン窒化膜(SiN)等からなる層間絶縁膜27に覆われている。層間絶縁膜の厚さは例えば300nmである。層間絶縁膜27上には、層間絶縁膜27に形成されたコンタクトホールを介して高濃度不純物領域23に電気的に接続された電極(ソース電極及びドレイン電極)28が形成されている。

・【0011】図57(a)に示す低電圧駆動用TFTは、ゲート絶縁膜が薄く、且つ抵抗値が高いLDD領域がないので、低電圧でも高速動作が可能である。また、図57(b)に示す高電圧駆動用TFTは、ゲート絶縁膜が厚く、且つホットキャリアの発生を防止する低濃度

不運物領域(LDD領域)24が設けられているので、高電圧で駆動しても特性劣化が防止される。

・【0012】なお、特開平10-27909号、特開平10-170953号、特開平5-142571号及び特開平7-249755号には、ゲート絶縁膜の膜厚が異なるトランジスタを同一半導体基板上に形成する技術が記載されている。また、特開平8-220505号には、液晶表示装置に使用される駆動電圧の高いトランジスタ及び駆動電圧の低いトランジスタのうち、駆動電圧の高いトランジスタのみをLDD構造とすることが提案されている。

・【0013】

・【発明が解決しようとする課題】図56に示すTFTでは、LDD構造を有しているため、ホットキャリアによる特性劣化は抑制されるものの、オン特性が低濃度不純物領域(LDD層)12bの抵抗により制限される。このため、トランジスタの高速化が妨げられ、高速動作が要求される画像データ用メモリや、画像処理用演算回路などの高機能回路を表示パネルに一体化する際の障害となっている。

・【0014】図57(a)に示すTFTでは、ゲート絶縁膜25aが薄く、且つ電極26aと同じ幅で形成されているため、ゲート電極25aとソース・ドレイン(高濃度不純物領域23)との間隔が極めて小さい。ゲート絶縁膜25aの側壁部にはエッチング等の工程で不純物や汚染イオン等が付着しており、ゲート電極25aとソース・ドレインとの間隔が小さいとリーク電流が発生しやすい。

・【0015】また、図57(a)、(b)に示す低電圧駆動用TFTと高電圧駆動用TFTとを同じ基板上に形成する場合、従来は、低電圧駆動用TFTのゲート絶縁膜25a及びゲート電極26aを形成した後、高電圧駆動用TFTのゲート絶縁膜25b及びゲート電極26bを形成していた。この場合、ポリシリコン膜22とゲート絶縁膜25bの界面を清浄化するためにフッ酸を含む溶液でポリシリコン膜22の表面を処理する。このとき、低電圧駆動用TFTのゲート絶縁膜25aがフッ酸溶液に侵食され、リーク電流がより一層発生しやすくなる。

・【0016】本発明の目的は、低電圧駆動用TFT及び高電圧駆動用TFTを備えた液晶表示装置及び有機EL表示装置等に適用でき、低電圧駆動用TFT及び高電圧駆動用TFTがいずれも良好な特性を有する薄膜トランジスタ装置及びその製造方法を提供することにある。

・【0017】

・【課題を解決するための手段】本願請求項1に記載の薄膜トランジスタ装置は、基板上に形成された第1、第2及び第3の半導体膜と、第1及び第2の絶縁膜と、第1、第2及び第3のゲート電極とにより構成される第1、第2及び第3の薄膜トランジスタを有し、前記第1

10

20

30

40

50

の薄膜トランジスタ形成領域では、前記第1の半導体膜の上に前記第1の絶縁膜が形成され、前記第1の絶縁膜の上に前記第1のゲート電極が形成され、前記第1の絶縁膜及び前記第1のゲート電極の上に前記第2の絶縁膜が形成され、前記第1の半導体膜にはチャンネル領域側の先端が前記第1のゲート電極のエッジの下方に位置する一対の高濃度不純物領域が形成されて前記第1の薄膜トランジスタを構成し、前記第2の薄膜トランジスタ形成領域では、前記第2の半導体膜の上に前記第1及び第2の絶縁膜が積層され、前記第2の絶縁膜の上に前記第2のゲート電極が形成され、前記第2の半導体膜には、上から見たときに少なくとも一方のチャンネル領域側先端部分が前記第2のゲート電極のエッジ部分に重なる一対の高濃度不純物領域が形成されて前記第2の薄膜トランジスタを構成し、前記第3の薄膜トランジスタ形成領域では、前記第3の半導体膜の上に前記第1及び第2の絶縁膜が積層され、前記第2の絶縁膜の上に前記第3のゲート電極が形成され、前記第3の半導体膜には一対の高濃度不純物領域と、該高濃度不純物領域とチャンネル領域との間に配置され、チャンネル領域側の先端が前記第3のゲート電極のエッジの下方に位置する一対の低濃度不純物領域が形成されて前記第3の薄膜トランジスタを構成することを特徴とする。

・【0018】本発明においては、第1の絶縁膜を第1の薄膜トランジスタのゲート絶縁膜とし、第1の絶縁膜と第2の絶縁膜とを積層して第2及び第3の薄膜トランジスタのゲート絶縁膜としている。すなわち、本発明の薄膜トランジスタ装置では、同一基板上に、ゲート絶縁膜が薄い第1の薄膜トランジスタとゲート絶縁膜が厚い第2及び第3の薄膜トランジスタとが形成されている。ゲート絶縁膜が薄い薄膜トランジスタは、例えば5V以下の低電圧でも高速に動作することができる。また、ゲート絶縁膜が厚いトランジスタは、耐圧が高くなるので、高電圧で駆動することができる。

・【0019】従って、本発明の薄膜トランジスタ装置のように、ゲート絶縁膜が薄い薄膜トランジスタで構成されて低電圧で高速に動作する回路と、ゲート絶縁膜が厚い薄膜トランジスタで構成されて高電圧で動作する回路とを同一の基板上に設けることにより、液晶表示装置及び有機EL表示装置などの電子機器の高性能化が達成される。

・【0020】例えば液晶表示装置の場合、高速動作する論理回路用トランジスタと、高電圧で動作する駆動回路用トランジスタ（高電圧駆動用TFT）と、画素毎に配置される画素トランジスタ（画素TFT）との3種類の薄膜トランジスタが必要である。薄膜トランジスタを高速動作させるためには、駆動電圧を低くすることが重要である。前述したように、ゲート絶縁膜を薄くすることにより、駆動電圧を低くすることができる。また、駆動電圧を低くすることにより、ホットエレクトロンが発生

しにくくなるので、LDD領域やオフセット領域を設ける必要がなくなる。これにより、ゲート電極のエッジのほぼ真下に不純物領域（ソース・ドレイン）のチャンネル側エッジを配置することができる。また、ゲート電極に対し不純物領域を自己整合的に形成することが可能になり、素子の微細化が可能になる。更に、LDD領域を有していないので、オン特性が向上し、回路の高速化が実現される。更に、駆動回路を低電圧で駆動する薄膜トランジスタで構成することにより、消費電力を低減することができる。

・【0021】高電圧駆動用TFTのうちのn型TFTでは、ソース電位がドレイン電位よりも高くなることはなく、ホットエレクトロンが発生する可能性があるのはドレイン側のみである。従って、n型高電圧駆動用TFTでは、ドレイン側のみにLDD領域又はオフセット領域を設ければよい。このような構造とすることにより、LDD抵抗によるオン特性の低下を最小限に抑えることができる。

・【0022】また、高電圧駆動用TFTのうちのp型TFTでは、キャリアがホールであるので、ホットエレクトロンが発生する可能性が少ない。従って、p型高電圧駆動用TFTでは、LDD領域又はオフセット領域を設ける必要がない。画素TFTでは、表示信号として正及び負の信号が供給される。従って、画素TFTでは、ソース側及びドレイン側の両方にLDD領域又はオフセット領域を設ける必要がある。

・【0023】本願請求項2に記載の薄膜トランジスタ装置の製造方法は、基板上に半導体膜を形成し、この半導体膜をパターニングして、第1、第2及び第3の半導体膜を形成する工程と、前記基板上に前記第1、第2及び第3の半導体膜を被覆する第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の金属膜を形成し、この第1の金属膜をパターニングして、前記第1の半導体膜の上方の前記第1の絶縁膜の上に第1のゲート電極を形成し、前記第2及び第3の半導体膜の上方の前記第1の絶縁膜の上に第1及び第2の金属パターンを形成する工程と、前記第1のゲート電極、前記第1及び第2の金属パターンをマスクにして前記第1、第2及び第3の半導体膜に不純物を注入する第1の不純物注入工程と、前記第1及び第2の金属パターンを除去する工程と、前記第1、第2及び第3の半導体膜の上方の前記第1の絶縁膜及び前記第1のゲート電極の上に第2の絶縁膜を形成する工程と、前記第2及び第3の半導体膜の上方の前記第2の絶縁膜の上に第2及び第3のゲート電極を形成する工程と、前記第3のゲート電極をマスクにして前記第3の半導体膜に不純物を注入する第2の不純物注入工程とを有することを特徴とする。

・【0024】本発明においては、第1の絶縁膜上に第1の金属膜を形成し、この第1の金属膜をパターニングして、第1の薄膜トランジスタのゲート電極（第1のゲ-

ト電極)を形成するとともに、第1及び第2の金属パターンを形成する。そして、この第1のゲート電極、第1及び第2の金属パターンをマスクにして第1、第2及び第3の半導体膜に不純物を注入する。これにより、第1、第2及び第3の薄膜トランジスタのソース・ドレインとなる不純物領域が形成される。

・【0025】その後、第1のゲート電極を残し、第1及び第2の金属パターンを除去する。そして、第1の絶縁膜及び第1のゲート電極上に第2の絶縁膜を形成し、この第2の絶縁膜上に第2及び第3の薄膜トランジスタのゲート電極(第2及び第3のゲート電極)を形成する。本発明では、第1の薄膜トランジスタのゲート絶縁膜を第1の絶縁膜のみで構成し、第2及び第3の薄膜トランジスタのゲート絶縁膜を第1及び第2の絶縁膜を積層して構成している。従って、ゲート絶縁膜の厚さが異なる薄膜トランジスタを、同一の工程で製造することができる。また、第1の薄膜トランジスタはゲート電極(第1のゲート電極)に対し自己整合的に不純物領域を形成するので、素子の微細化が可能であるとともに、LDD領域又はオフセット領域を有しないので、オン特性が優れ、オフ電流も低減される。

・【0026】第2及び第3の薄膜トランジスタ形成領域では、ソース・ドレインとなる不純物領域を形成した後第2の絶縁膜を形成し、その上にゲート電極(第2及び第3のゲート電極)が形成される。このとき、ゲート電極形成用レジストの幅及び位置を調整することにより、LDD領域を設けたり、上から見たときに高濃度不純物領域のチャンネル領域側の先端部分がゲート電極のエッジ部分に重なるようにすることができる。

・【0027】本願請求項3に記載の薄膜トランジスタ装置は、基板上に形成された第1及び第2の薄膜トランジスタを有し、前記第1の薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域を有する第1の半導体膜と、前記第1の半導体膜のチャンネル領域及び前記一対の高濃度不純物領域の上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極とにより構成され、前記第2の薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャンネル領域との間に形成された一対の低濃度不純物領域とを有する第2の半導体膜と、前記第2の半導体膜の前記チャンネル領域及び前記低濃度不純物領域の上を覆う厚膜部と前記高濃度不純物領域の上を覆う薄膜部とにより構成される第2のゲート絶縁膜と、前記第2のゲート絶縁膜の前記厚膜部の上に形成された第2のゲート電極とにより構成されていることを特徴とする。

・【0028】本発明においては、ゲート電極下のゲート絶縁膜が薄い低電圧駆動用薄膜トランジスタ、及びゲート電極下の絶縁膜が厚い高電圧駆動用薄膜トランジスタが同一基板上に形成されている。また、これらの薄膜ト

ランジスタは、ゲート電極の下方だけでなく、高濃度不純物領域(ソース・ドレイン)の上にもゲート絶縁膜が形成されている。

・【0029】従って、ゲート絶縁膜の側壁を介したゲート電極と高濃度不純物領域との間のリークを防止することができる。また、高電圧駆動用薄膜トランジスタ形成領域では、ゲート絶縁膜の厚膜部を介して半導体膜に不純物を注入することにより、LDD領域(低濃度不純物領域)を形成することができる。また、低電圧駆動用薄膜トランジスタ形成部では、ゲート電極に対し自己整合で高濃度不純物領域を形成できる。すなわち、LDD領域を形成するためのマスクが必要なく、LDD領域を持たない低電圧駆動用薄膜トランジスタとLDD領域を持つ高電圧駆動用薄膜トランジスタとを同一基板上に有する薄膜トランジスタ装置の製造工程が簡略化される。

・【0030】本願請求項4に記載の薄膜トランジスタ装置は、基板上に形成された第1及び第2の薄膜トランジスタを有し、前記第1の薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャンネル領域との間に不純物を注入して形成された一対の擬似LDD領域とを有する第1の半導体膜と、前記第1の半導体膜のチャンネル領域及び前記擬似LDD領域の上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極とにより構成され、前記第2の薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの不純物領域と前記チャンネル領域との間に配置されて前記第1の薄膜トランジスタの前記擬似LDD領域よりも不純物濃度が低い低濃度不純物領域とを有する第2の半導体膜と、前記第2の半導体膜の前記チャンネル領域及び前記低濃度不純物領域の上に前記第1のゲート絶縁膜よりも厚く形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とにより構成されていることを特徴とする。

・【0031】本発明においては、ゲート電極下のゲート絶縁膜が薄い低電圧駆動用薄膜トランジスタと、ゲート電極下のゲート絶縁膜が厚い高電圧駆動用薄膜トランジスタとが同一基板上に形成されている。低電圧駆動用薄膜トランジスタのソース・ドレインは、高濃度不純物領域と、擬似LDD領域とにより構成されている。擬似LDD領域は、LDD領域よりも高濃度に不純物が注入された領域であり、抵抗値も低い。従って、低電圧でも高速に動作させることができる。また、擬似LDD領域及び第2の薄膜トランジスタのLDD領域はゲート絶縁膜に対して自己整合的に形成できるので、特別なマスクが必要なく、低電圧駆動用薄膜トランジスタ及び高電圧駆動用薄膜トランジスタのソース・ドレインを比較的単純化工程で形成することができる。

・【0032】本願請求項5に記載の薄膜トランジスタ装

置の製造方法は、基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜のうち第2の半導体膜の上にのみ第1の絶縁膜を形成する工程と、前記基板の土側全面に第2の絶縁膜を形成する工程と、前記第1の半導体膜の上方の前記第2の絶縁膜の上に第1のゲート電極を形成し、前記第2の半導体膜の上方の前記第2の絶縁膜の上に前記第1の絶縁膜よりも狭い幅で第2のゲート電極を形成する工程と、前記第2の絶縁膜を透過する条件で前記第1及び第2の半導体膜に不純物をイオン注入して第1のゲート電極を挟む位置及び前記第1の絶縁膜を挟む位置にそれぞれ高濃度不純物領域を形成し、前記第2の半導体膜上に積層した前記第1及び第2の絶縁膜を透過する条件で前記第2の半導体膜に不純物をイオン注入して前記第2のゲート電極を挟む位置に低濃度不純物領域を形成する工程とを有することを特徴とする。

・【0033】本発明においては、低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成した後、第2の半導体膜上にのみ第1の絶縁膜を形成する。その後、第1の絶縁膜、第1及び第2の半導体膜を第2の絶縁膜で覆う。このようにして、1層の絶縁膜からなる薄いゲート絶縁膜を低電圧駆動用薄膜トランジスタ形成領域に形成し、2層の絶縁膜からなる厚いゲート絶縁膜を高電圧駆動用薄膜トランジスタ形成領域に形成する。

・【0034】その後、第2の絶縁膜の上にゲート電極を形成する。このとき、高電圧駆動用薄膜トランジスタ形成領域では、ゲート電極の幅を第1の絶縁膜の幅よりも小さくすることにより、段差を形成する。そして、この段差を利用して、LDD領域（低濃度不純物領域）を形成する。このようにして、同一基板上に低電圧駆動用薄膜トランジスタと高電圧駆動用薄膜トランジスタとを比較的容易に形成することができる。また、各薄膜トランジスタのソース・ドレイン領域（高濃度不純物領域）の上にはゲート絶縁膜が形成されているので、ゲート絶縁膜の側部を介してのリーク電流が防止される。

・【0035】本願請求項6に記載の薄膜トランジスタ装置の製造方法は、基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜のうち第2の半導体膜の上にのみ第1の絶縁膜を形成する工程と、前記基板の土側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に導電体膜を形成する工程と、前記第1の半導体膜の上方の前記導電体膜の上に第1のマスクパター

シを形成するとともに、前記第2の半導体膜の上方の前記導電体膜の上に第2のマスクパターンを形成する工程と、前記第1及び第2のマスクパターンをマスクとして前記導電体膜をサイドエッチングし、前記第1及び第2のマスクパターンよりも幅が狭い第1及び第2のゲート電極を形成する工程と、前記第1及び第2のマスクパターンをマスクとして前記第1及び第2の絶縁膜を異方性エッチングして前記第1の半導体膜上に第1のゲート絶縁膜を形成し、前記第2の半導体膜上に第2のゲート絶縁膜を形成する工程と、前記マスクパターンを除去する工程と、前記第1の半導体膜の前記第1のゲート電極の両側にそれぞれ不純物をイオン注入して一対の高濃度不純物領域を形成し、前記第2の半導体膜の前記第2のゲート電極の両側にそれぞれ不純物をイオン注入して一対の高濃度不純物領域を形成し、更に前記第2のゲート電極をマスクとし、前記第2のゲート絶縁膜を透過する条件で前記第2の半導体膜に不純物をイオン注入して前記第2のゲート電極の両側に一対の低濃度不純物領域を形成する工程とを有することを特徴とする。

・【0036】本実施の形態においては、低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成した後、第2の半導体膜の上に第1の絶縁膜を形成する。そして、この第1の絶縁膜、第1及び第2の半導体膜を第2の絶縁膜で覆う。その後、第2の絶縁膜の上に導電体膜を形成し、この導電体膜の上に第1及び第2のマスクパターンを形成する。これらのマスクパターンをマスクとして導電体膜、第1及び第2の絶縁膜をエッチングし、ゲート電極及びゲート絶縁膜を形成する。このとき、導電体膜をサイドエッチングして、ゲート電極の幅をマスクパターンの幅よりも小さくする。また、第1及び第2の絶縁膜を異方性エッチングして、ゲート絶縁膜の幅をマスクパターンの幅と同じにする。これにより、ゲート電極とゲート絶縁膜との段差が形成される。この段差を利用して、高電圧駆動用薄膜トランジスタのLDD領域（低濃度不純物領域）を自己整合で形成できる。

・【0037】本願請求項7に記載の薄膜トランジスタ装置は、基板上に形成された高電圧駆動用薄膜トランジスタと低電圧駆動用薄膜トランジスタとを有し、前記高電圧駆動用薄膜トランジスタのゲート絶縁膜は、第1及び第2の絶縁膜を積層して構成され、前記低電圧駆動用トランジスタのゲート電極の下方のゲート絶縁膜のうち、前記低電圧駆動用トランジスタの半導体膜のエッジ部分と前記ゲート電極とが交差する部分が前記第1及び第2の絶縁膜を積層して構成され、他の部分が第2の絶縁膜の単層で構成されていることを特徴とする。

・【0038】本発明においては、低電圧駆動用薄膜トランジスタのゲート電極の下方のゲート絶縁膜のうち、半導体膜のエッジ部分とゲート電極とが交差する部分が第

1 及び第2の絶縁膜を積層して構成され、他の部分が第2の絶縁膜の単層で構成されている。従って、ゲート電極を形成する際に、ゲート電極下方の半導体膜のエッジ部分が露出することなく、耐圧の劣化が回避される。

・【0039】本願請求項8に記載の薄膜トランジスタの製造方法は、基板上に半導体膜を形成し、この半導体膜をパターニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、前記第1の半導体膜の中央部上の前記第1の絶縁膜をウェットエッチングで除去する工程と、前記基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に導電体膜を形成する工程と、前記導電体膜上に所定のゲート電極形状のレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記導電体膜をサイドエッチングし、前記第1の半導体膜の上方に第1のゲート電極を形成し、前記第2の半導体膜の上方に第2のゲート電極を形成する工程と、前記レジストパターンをマスクとして前記第1及び第2の絶縁膜を異方性エッチングする工程と、前記第1及び第2の半導体膜に不純物を注入する不純物注入工程とを有することを特徴とする。

・【0040】本発明においては、低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成し、これらの第1及び第2の半導体膜の上に第1の絶縁膜を形成した後、第1の半導体膜の中央部上の絶縁膜を除去する。その後、基板の上側全面に第2の絶縁膜を形成する。これにより、ゲート電極の下方のゲート絶縁膜のうち、半導体膜のエッジ部分とゲート電極とが交差する部分の膜厚が厚く、他の部分の膜厚が薄いゲート絶縁膜を形成することができる。このゲート絶縁膜により、ゲート電極と半導体膜のエッジとが交差する部分の地下膜がエッチングされることが回避され、ゲート耐圧の低下が回避される。

・【0041】また、本発明では、第1の半導体膜の中央部上の第1の絶縁膜を、ウェットエッチングにより除去する。従って、半導体膜がプラズマに晒されることがないので、プラズマによる半導体膜のダメージが回避され、特性劣化が防止される。第1の半導体膜の中央部の第1の絶縁膜を除去する際に、本願請求項9に記載の薄膜トランジスタ装置の製造方法のように、第2の半導体膜の高濃度不純物領域となる領域上の第1の絶縁膜も同時に除去してもよい。これにより、高電圧駆動用薄膜トランジスタのLDD領域を、マスクを使用せず自己整合的に形成することができる。

・【0042】本願請求項10に記載の薄膜トランジスタ装置は、基板上に形成された高電圧駆動用薄膜トランジスタと低電圧駆動用薄膜トランジスタとを有し、前記低

電圧駆動用薄膜トランジスタは、チャネル領域を挟んで形成された一対の高濃度不純物領域を有する第1の半導体膜と、前記第1の半導体膜の前記チャネル領域上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜の上に形成された第1のゲート電極とにより構成され、前記高電圧駆動用薄膜トランジスタは、チャネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャネル領域との間に形成された低濃度不純物領域とを有する第2の半導体膜と、前記チャネル領域及び前記低濃度不純物領域の上に前記第1のゲート絶縁膜よりも厚く形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とにより構成されていることを特徴とする。

・【0043】本発明の薄膜トランジスタ装置の低電圧駆動用薄膜トランジスタは、LDD領域がなく、ゲート絶縁膜も薄いので、低電圧でも高速に動作させることができる。また、高電圧駆動用薄膜トランジスタは、ゲート絶縁膜が厚く、LDD領域（低濃度不純物領域）が設けられているので、高電圧での駆動が可能である。本願請求項11に記載の薄膜トランジスタ装置の製造方法は、基板上に半導体膜を形成し、この半導体膜をパターニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、前記第1の半導体膜の上方の前記第1の絶縁膜の上に第1のゲート電極を形成する工程と、前記基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の半導体膜の上方の前記第2の絶縁膜の上に第2のゲート電極を形成する工程と、前記第1及び第2の絶縁膜をエッチングして、前記第1のゲート電極の下方に第1のゲート絶縁膜を形成し、前記第2のゲート電極の下方に第2のゲート電極よりも幅が広い第2のゲート絶縁膜を形成する工程と、前記第1の半導体膜の前記第1のゲート電極の両側部に不純物を注入して一対の高濃度不純物領域を形成するとともに、前記第2の半導体膜の前記第2のゲート絶縁膜の両側部に不純物を注入して一対の高濃度不純物領域を形成し、更に前記第2のゲート絶縁膜を透過する条件で前記第2の半導体膜に不純物を導入して前記第2のゲート電極の両側部に一対の低濃度不純物領域を形成する工程とを有することを特徴とする。

・【0044】本発明においては、低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成した後、第1の半導体膜の上に第1の絶縁膜を形成して低電圧駆動用薄膜トランジスタのゲート絶縁膜とし、第2の半導体膜の上に第1及び第2の絶縁膜を積層して高電圧駆動用薄膜トランジスタのゲート絶縁膜としてい

容易に形成することができる。

・【0045】また、本発明においては、高電圧駆動用薄膜トランジスタのゲート電極を形成する際に、ゲート電極の幅をゲート絶縁膜の幅よりも狭くして段差を形成し、この段差を利用してLDD領域（低濃度不純物領域）を形成する。これにより、製造工程が簡略化される。

・【0046】

・【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

・（第1の実施の形態）図1は本発明の第1の実施の形態の薄膜トランジスタ装置（透過型液晶表示装置）の構成を示すブロック図である。但し、以下の例ではXGA（1024×768ピクセル）モードの液晶表示装置について説明する。1個のピクセルはR（赤色）、G（緑色）及びB（青色）の3個の画素により構成される。

・【0047】本実施の形態の液晶表示装置は、制御回路101、データドライバ102、ゲートドライバ103及び表示部104により構成されている。この液晶表示装置には、コンピュータ等の外部装置（図示せず）から表示信号RGB（R（赤）信号、G（緑）信号及びB（青）信号）、水平同期信号Hsync及び垂直同期信号Vsync等の信号が供給され、電源（図示せず）から高電圧（18V）VH、低電圧VL（3.3V又は5V）及び接地電位Vgndが供給される。

・【0048】表示部104には、水平方向に3072（1024×RGB）個、垂直方向に768個の画素が配列されている。各画素は、n型TFT105と、このn型TFT105のソース電極に接続された表示セル（液晶セル）106及び蓄積容量107とにより構成されている。表示セル106は、一対の電極と、それらの電極間の液晶とにより構成される。

・【0049】また、表示部104には、垂直方向に延びる3072本のデータバスライン108と、水平方向に延びる768本のゲートバスライン109とが設けられている。水平方向に並ぶ画素の各TFT105のゲート電極は同一のゲートバスライン109に接続され、垂直方向に並ぶ画素の各TFT105のドレイン電極は同一のデータバスライン108に接続されている。

・【0050】制御回路101は、水平同期信号Hsync及び垂直同期信号Vsyncを入力し、1水平同期期間の開始時にアクティブになるデータスタート信号DSIと、1水平期間を一定の間隔に分割するデータクロックDCLKと、1垂直同期期間の開始時にアクティブになるゲートスタート信号GSIと、1垂直同期期間を一定の間隔に分割するゲートクロックGCLKとを出力する。この制御回路101は、低電圧VLで駆動するn型TFT及びp型TFTにより構成されている。

・【0051】データドライバ102は、シフトレジスタ102a、レベルシフタ102b及びアナログスイッチ

102cにより構成されている。シフトレジスタ102aは、3072個の出力端子を有している。このシフトレジスタ102aはデータスタート信号DSIにより初期化され、データクロックDCLKに同期したタイミングで各出力端子から順番に低電圧（3.3V又は5V）のアクティブ信号を出力する。このシフトレジスタ102aは、低電圧VLで駆動するn型TFT及びp型TFTにより構成されている。

・【0052】レベルシフタ102bは、3072個の入力端子と3072個の出力端子を備えている。そして、シフトレジスタ102aから出力された低電圧のアクティブ信号を、高電圧（18V）に変換して出力する。このレベルシフタ102bは、低電圧VLで駆動するn型TFT及びp型TFTと、高電圧VHで駆動するn型TFT及びp型TFTとにより構成されている。

・【0053】アナログスイッチ102cも、3072個の入力端子と3072個の出力端子とを有している。アナログスイッチ102cの各出力端子は、それぞれ対応するデータバスライン108に接続されている。アナログスイッチ102cは、レベルシフタ102bからアクティブ信号を入力すると、アクティブ信号を入力した入力端子に対応する出力端子に表示信号RGB（R信号、G信号及びB信号のいずれか1つ）を出力する。このアナログスイッチ102cは、高電圧VHで駆動するn型TFT及びp型TFTにより構成されている。

・【0054】すなわち、データドライバ102は、1水平期間内にデータクロックDCLKに同期したタイミングで、表示部104の3072本のデータバスライン108にR信号、G信号及びB信号を順番に出力する。ゲートドライバ103は、シフトレジスタ103a、レベルシフタ103b及び出力バッファ103cにより構成されている。

・【0055】シフトレジスタ103aは、768個の出力端子を有している。このシフトレジスタ103aはゲートスタート信号GSIにより初期化され、ゲートクロックGCLKに同期したタイミングで各出力端子から順番に低電圧（3.3V又は5V）の走査信号を出力する。このシフトレジスタ103aは、低電圧VLで駆動するn型TFT及びp型TFTにより構成されている。

・【0056】レベルシフタ103bは、768個の入力端子と768個の出力端子とを備えている。そして、シフトレジスタ103aから入力された低電圧の走査信号を、高電圧（18V）に変換して出力する。このレベルシフタ103bは、低電圧VLで駆動するn型TFT及びp型TFTと、高電圧VHで駆動するn型TFT及びp型TFTとにより構成されている。

・【0057】出力バッファ103cも、768個の入力端子と768個の出力端子とを有している。出力バッファ103cの各出力端子は、それぞれ対応するゲートバスライン109に接続されている。出力バッファ103

cは、レベルシフタ103bから入力された走査信号を、入力端子に対応する出力端子を介してゲートバスライン109に供給する。この出力バッファ103cは、高電圧VHで駆動するn型TFT及びp型TFTとにより構成されている。

・【0058】すなわち、ゲートドライバ103からは、1垂直同期期間内にゲートクロックGCLKに同期したタイミングで、表示部104の768本のゲートバスライン109に走査信号を順番に供給する。表示部104のTFT105は、ゲートバスライン109に走査信号が供給されるとオンとなる。このとき、データバスライン108に表示信号RGB(R信号、G信号及びB信号のいずれか1つ)が供給されると、表示セル106及び蓄積容量107に表示信号RGBが書き込まれる。表示セル106では、書き込まれた表示信号RGBにより液晶分子の傾きが変化し、その結果表示セル106の光透過率が変化する。各画素毎に表示セル106の光透過率を制御することによって、所望の画像が表示される。

・【0059】以下、本実施の形態では、表示部104内に設けられたTFTを画素TFTという。また、データドライバ102及びゲートドライバ103内のTFTのうち高電圧(18V)で駆動するTFTを、高電圧駆動用TFTという。更に、制御回路101、データドライバ102及びゲートドライバ103内のTFTのうち低電圧(3.3V又は5V)で駆動するTFTを、低電圧駆動用TFTという。

・【0060】図2(a)は、低電圧駆動用TFTの構造を示す断面図である。ガラス基板110の上には下地絶縁膜111が形成されており、この下地絶縁膜111の上にTFTの動作層となるポリシリコン膜112が形成されている。このポリシリコン膜112には、TFTのソース及びドレインである一対の高濃度不純物領域(オーミックコンタクト領域)115がチャンネル領域を挟んで形成されている。

・【0061】下地絶縁膜111及びポリシリコン膜112の上には、厚さが30nmのシリコン酸化膜(SiO₂)113が形成されている。また、このシリコン酸化膜113の上には、ゲート電極114が形成されている。低電圧駆動用TFTでは、高濃度不純物領域115のチャンネル領域側のエッジが、いずれもゲート電極114のエッジのほぼ真下に位置している。

・【0062】シリコン酸化膜113及びゲート電極114の上には、厚さが90nmのシリコン窒化膜(SiN)118と、厚さが350nmのシリコン窒化膜(SiN)121とが積層されている。シリコン窒化膜121の上には電極(ソース電極及びドレイン電極)122が形成されている。これらの電極122は、シリコン窒化膜121の上面から高濃度不純物領域115に通じるコンタクトホール内に埋め込まれた金属により、高濃度不純物領域115に電氣的に接続されている。

・【0063】低電圧駆動用TFTは、ゲート絶縁膜が厚さ30nmのシリコン酸化膜113のみで構成されており、更にLDD領域が設けられていないので、低電圧での高速動作が可能である。また、不純物領域115がゲート電極114に対し自己整合的に形成できるので、素子の微細化が容易である。なお、この低電圧駆動用TFTにはLDD領域が設けられていないが、低電圧で駆動するのでホットエレクトロンの発生が少なく、ホットエレクトロンに起因するオン特性の劣化とオフ電流の増大が回避される。

・【0064】図2(b)は高電圧駆動用n型TFTの構造を示す断面図、図2(c)は高電圧駆動用p型TFTの構造を示す断面図である。ガラス基板110の上には下地絶縁膜111が形成されている。この下地絶縁膜111の上には、TFTの動作層となるポリシリコン膜112が形成されている。n型TFT形成領域では、ポリシリコン膜112に、TFTのソース及びドレインである一対のn型高濃度不純物領域(オーミックコンタクト領域)115nがチャンネル領域を挟んで形成されている。また、ドレインであるn型高濃度不純物領域(図2(b)では右側の高濃度不純物領域)115nのチャンネル領域側には、LDD領域(n型低濃度不純物領域)120が不純物領域115nに接して形成されている。

・【0065】一方、p型TFT形成領域では、ポリシリコン膜112に、TFTのソース及びドレインである一対のp型高濃度不純物領域115pがチャンネル領域を挟んで形成されている。この高電圧駆動用p型TFT形成領域では、高電圧駆動用n型TFTと異なり、LDD領域は設けられていない。下地絶縁膜111及びポリシリコン膜112の上には、厚さが30nmのシリコン酸化膜113と厚さが90nmのシリコン酸化膜118とが積層して形成されている。そして、シリコン酸化膜118の上には、ゲート電極119が形成されている。

・【0066】n型TFT形成領域では、上から見たときに、ソース側不純物領域115nのチャンネル領域側の先端部分はゲート電極119のエッジ部分に重なっている。また、ゲート電極119のドレイン側エッジのほぼ真下に、LDD領域120のチャンネル領域側エッジが配置されている。一方、p型TFT形成領域では、上から見たときに、一対の不純物領域115pのそれぞれチャンネル領域側の先端部分が、ゲート電極119のエッジ部分に重なっている。

・【0067】ゲート電極119及びシリコン酸化膜118の上には、厚さが350nmのシリコン窒化膜121が形成されている。シリコン窒化膜121の上には電極(ソース電極及びドレイン電極)122が形成されている。これらの電極122は、シリコン窒化膜121の上面から高濃度不純物領域115n、115pに通じるコンタクトホール内に埋め込まれた金属により、高濃度不純物領域115n、115pに電氣的に接続されてい

る。

・【0068】これらの高電圧駆動用TFTでは、ゲート絶縁膜が120nmと厚いシリコン酸化膜（シリコン酸化膜113+シリコン酸化膜118）で形成されているので、耐圧が高く、高電圧で駆動することができる。また、n型TFTでは、ドレイン側にはLDD領域120を有し、ソース側にはLDD領域を有していない。液晶表示装置のレベルシフト102b、103b、アナログスイッチ102c及び出力バッファ103cに使用されるn型TFTでは、ソース電圧がドレイン電圧よりも高くなることはなく、ホットエレクトロンはドレイン側に発生しても、ソース側には発生しない。このため、ソース側にLDD領域を設けなくても、ホットエレクトロンによるトランジスタ特性の劣化はない。

・【0069】一方、高電圧駆動用p型TFT形成領域のポリシリコン膜112にはp型不純物領域115pのみが設けられ、LDD領域は設けられていない。そして、上から見たときに、これらの不純物領域115pのチャネル領域側の先端部分は、いずれもゲート電極119のエッジ部分に重なっている。p型TFTの場合は、キャリアが正孔であるのでホットキャリアの発生が殆どなく、LDD領域を設けなくてもトランジスタ特性に支障はない。

・【0070】図2（d）は画素TFT（n型）の構造を示す断面図である。ガラス基板110の上には下地絶縁膜111が形成されており、この下地絶縁膜111の上にTFTの動作層となるポリシリコン膜112が形成されている。このポリシリコン膜112にはTFTのソース及びドレインである一対のn型高濃度不純物領域（オーミックコンタクト領域）115nがチャネル領域を挟んで形成されており、これらのn型高濃度不純物領域115nのチャネル側の端部にはLDD領域120がそれぞれn型高濃度不純物領域115nに接して形成されている。

・【0071】下地絶縁膜111及びポリシリコン膜112の上には、図2（b）、（c）に示す高電圧駆動用TFTと同様に、厚さが30nmのシリコン酸化膜113と厚さが90nmのシリコン酸化膜118とが積層して形成されている。そして、シリコン酸化膜118の上には、ゲート電極119が形成されている。この画素TFTでは、ゲート電極119の両側のエッジのほぼ真下に、LDD領域120のチャネル領域側エッジが配置されている。

・【0072】ゲート電極119及びシリコン酸化膜118の上には、厚さが350nmのシリコン窒化膜121が形成されている。シリコン窒化膜121の上には電極（ソース電極及びドレイン電極）122が形成されている。これらの電極122は、シリコン窒化膜121の上面からn型高濃度不純物領域115nに通じるコンタクトホール内に埋め込まれた金属により、n型高濃度不純

物領域115nに電気的に接続されている。

・【0073】画素TFTには、表示信号として正及び負の信号が与えられるので、この図2（d）に示すようにソース及びドレインの両方にLDD領域120を設けないと、ホットエレクトロンによるトランジスタ特性の劣化が発生する。以下、本実施の形態の液晶表示装置の製造方法について、図3～図11を参照して説明する。なお、これらの図3～図11において、（a）は低電圧駆動用TFTの形成領域における断面図、（b）は高電圧駆動用TFTの形成領域における断面図、（c）は画素TFTの形成領域における断面図を示している。

・【0074】まず、図3（a）～（c）に示すように、プラズマCVD法により、ガラス基板110の上に、下地絶縁膜としてシリコン窒化膜111aを約50nm、シリコン酸化膜111bを200nmの厚さに形成する。続けて、シリコン酸化膜111bの上にアモルファスシリコン膜112aを約50nmの厚さに形成する。次に、アモルファスシリコン膜112a中の水素を低減するために、450℃の温度でアニールする。そして、アモルファスシリコン膜112aにエキシマレーザを照射して、アモルファスシリコン膜112aをポリシリコン膜に変化させる。

・【0075】次に、ポリシリコン膜の上にフォトレジストを塗布し、選択露光及び現像工程を経て、所定のレジストパターン（図示せず）を形成する。そして、このレジストパターンをマスクにして、ポリシリコン膜をドライエッチングし、図4（a）～（c）に示すように、所定の領域にのみポリシリコン膜112を残す。その後レジストパターンを除去する。

・【0076】次に、図5（a）～（c）に示すように、プラズマCVD法により、ガラス基板110の上側全面にシリコン酸化膜113を30nmの厚さに成膜する。そして、スパッタ法により、シリコン酸化膜113の上にAl-Nd（アルミニウム-ネオジム：Nd含有量は2at.％）膜を約300nmの厚さに成膜する。その後、フォトレジストを使用して、Al-Nd膜の上に所定のレジストパターンを形成し、このレジストパターンをマスクにしてAl-Nd膜をドライエッチングして、低電圧駆動用TFTのゲート電極114と、高電圧駆動用TFT及び画素TFTのソース及びドレイン形成時のマスクとなる金属パターン114bとを形成する。その後、レジストパターンを除去する。そして、ゲート電極114及び金属パターン114bをマスクとし、加速電圧が25kV、注入量が $7 \times 10^{14} \text{ cm}^{-2}$ の条件でポリシリコン膜112にP（リン）をイオン注入して、n型TFTのソース及びドレインとなるn型不純物領域115nを形成する。このとき、p型TFTのポリシリコン膜112にもP（リン）が注入される。

・【0077】次に、図6（a）～（c）に示すように、フォトレジストを使用して、n型TFT形成領域を覆う

10

20

30

40

50

レジストパターン116を形成する。そして、加速電圧が15kV、注入量が $2 \times 10^{15} \text{cm}^{-2}$ の条件で、p型TFT形成領域のポリシリコン膜112にB（ボロン）をイオン注入し、p型TFTのソース及びドレインとなるp型不純物領域115pを形成する。これらの領域には、前の工程でP（リン）が注入されているが、P（リン）よりも多量のB（ボロン）を注入することにより、n型不純物領域115nがp型不純物領域115pに変化する。

・【0078】次に、レジストパターン116を除去した後、エキシマレーザでTFT基板110の上側全面を照射し、注入された不純物（P及びB）を電気的に活性化させる。次に、図7（a）～（c）に示すように、フォトリソレジストを使用して、低電圧駆動用TFTの形成領域を覆うレジストパターン117を形成し、金属パターン114bをウェットエッチングで除去する。その後、レジストパターン117を除去する。次に、図8（a）～（c）に示すように、プラズマCVD法により、シリコン酸化膜113及びゲート電極114の上にシリコン酸化膜118を90nmの厚さに成膜する。そして、スパッタ法により、シリコン酸化膜118の上に厚さが300nmのAl-Nd（Nd含有量が2at.%）膜を成膜する。その後、フォトリソレジストを使用してAl-Nd膜の上に所定の形状のレジストパターンを形成する。そして、このレジストパターンをマスクにしてAl-Nd膜をドライエッチングして、高電圧駆動用TFT及び画素TFTのゲート電極119を形成する。

・【0079】このとき、n型高電圧駆動用TFT形成領域では、上から見たときに、ゲート電極119のエッジ部分とソース側不純物領域115nのチャネル領域側の先端部分とが重なり、ゲート電極119とドレイン側不純物領域115nとの間にはLDD領域120となる空間が設けられるようにする。また、p型高電圧駆動用TFT形成領域では、上から見たときに、ゲート電極119のエッジ部分とソース側及びドレイン側の不純物領域115pのチャネル領域側先端部分とが重なるようにする。（図8（b）参照）更に、画素TFT形成領域では、上から見たときに、ゲート電極119とソース側及びドレイン側の不純物領域115nとの間にはLDD領域120となる空間が設けられるようにする。（図8（c）参照）なお、表示部104では、ゲート電極119の形成と同時に、ゲートバスライン109及び蓄積容量バスライン（蓄積容量107の電極）を形成する。

・【0080】次に、レジストパターンを除去した後、加速電圧が70kV、注入量が $2 \times 10^{13} \text{cm}^{-2}$ の条件で、基板全面にわたってP（リン）をイオン注入し、n型高電圧駆動用TFTのドレイン側不純物領域115nの隣にLDD領域120を形成するとともに、画素TFTのソース側及びドレイン側の不純物領域115nの隣にもLDD領域120を形成する。このとき、p型TFT

Tの不純物領域115pにもP（リン）が注入されるが、先に注入されたB（ボロン）に比べて注入量が少ないので、導電性は変化しない。その後、400℃の温度でアニールして、注入されたP（リン）を電気的に活性化させる。

・【0081】次に、図9（a）～（c）に示すように、プラズマCVDにより、シリコン酸化膜118及びゲート電極119の上にシリコン窒化膜121を350nmの厚さに形成する。その後、400℃の温度でアニールして、LDD領域120に注入されたP（リン）を電気的に活性化するとともに、シリコン窒化膜121中の水素により、チャネル領域とゲート酸化膜との界面などにある欠陥を水素化し、TFT特性を改善する。

・【0082】次に、フォトリソレジストを使用して、シリコン窒化膜121上にコンタクトホール形成用開口部を有するレジスト膜を形成する。そして、このレジスト膜をマスクにしてシリコン窒化膜121、シリコン酸化膜118、113をドライエッチングして、各TFTの不純物領域115n、115pに通じるコンタクトホールを形成する。

・【0083】続いて、スパッタ法により、基板110の上側全面に、Tiを100nm、Alを200nm、Tiを50nmの厚さに順次堆積し、これらの金属でコンタクトホールを埋め込むとともに、シリコン窒化膜121上に金属膜を形成する。その後、フォトリソグラフィによりマスクパターンを形成し、金属膜をドライエッチングして、図10（a）～（c）に示すように、TFTのソース及びドレインに電気的に接続した電極（ソース電極及びドレイン電極）122を形成する。

・【0084】なお、表示部104では、電極122の形成と同時に、データバスライン108を形成する。また、制御回路101、データドライバ102及びゲートドライバ103の形成領域では、電極122の形成と同時に、所定の配線パターンを形成する。次に、図11

・（a）～（c）に示すように、感光性樹脂を塗布して厚さが3.0μmの樹脂膜123を形成する。そして、この樹脂膜123の所定領域に、配線122に連絡するコンタクトホールを形成する。その後、スパッタ法により、基板110の上側全面に厚さが70nmのITO（indium-tin oxide：インジウム酸化スズ）膜を成膜した後、通常のフォトリソグラフィ工程によりITO膜をパターニングして、画素TFTのソース側不純物領域115nに電気的に接続した画素電極124を形成する。その後、ガラス基板110の上側全面に、液晶分子の初期状態（電圧無印加時）の配向方向を決める配向膜（図示せず）を形成する。

・【0085】このようにして、液晶表示装置のTFT基板が完成する。液晶表示装置の対向基板は、公知の方法で形成する。すなわち、ガラス基板上に、例えばCr（クロム）により、画素間の領域を遮光するためのブラ

ックマトリクスを形成する。また、ガラス基板上に赤色、緑色及び青色のカラーフィルタを形成し、各画素毎に赤色、緑色及び青色のいずれか1色のカラーフィルタを配置する。その後、ガラス基板の上側全面にITOからなる透明電極を形成し、透明電極の上に配向膜を形成する。

・【0086】このようにして製造されたTFT基板と対向基板とを貼合わせ、両者の間に液晶を封入して液晶パネルとする。この液晶パネルの両面に偏光板を配置し、裏面側にバックライトを配置すると、液晶表示装置が完成する。本実施の形態によれば、ゲート絶縁膜が薄く低電圧での高速動作が可能な低電圧駆動用TFTと、ゲート絶縁膜が厚くホットエレクトロンによる特性劣化が少ない高電圧駆動用TFT及び画素TFTとを同一の工程で製造することができる。これにより、駆動回路一体型液晶表示装置の性能が向上し、製造コストが低減される。また、低電圧駆動用TFTの不純物領域（ソース・ドレイン）115n、115pは、ゲート電極114に対し自己整合で形成するので、低電圧駆動用TFTの微細化及び高速化が図れる。

・【0087】なお、上記の実施の形態において、画素毎に樹脂膜123の色を赤色、緑色及び青色のいずれか1色とし、対向基板側にカラーフィルタを設けない構造としてもよい。また、ガラス基板110上に、画像の補正や記憶等を行う回路（補正回路、加算回路、減算回路及びメモリ等）を形成してもよい。また、上記の実施の形態では、n型高電圧駆動用TFTのドレイン側並びに画素TFTのソース及びドレイン側にLDD領域120を設けた場合について説明したが、この部分に不純物を導入しないでオフセット領域としてもよい。

・【0088】（第2の実施の形態）次に、本発明の第2の実施の形態について説明する。本実施の形態は、反射型液晶表示装置に本発明を適用した例を示す。本実施の形態の反射型液晶表示装置は、液晶セルの構造が異なることを除けば基本的に第1の実施の形態で説明した液晶表示装置と同様の構造を有するので、本実施の形態においても図1を参照して説明する。

・【0089】図12、図13は本実施の形態の液晶表示装置の製造方法を示す断面図、図14（a）は本実施の形態の液晶表示装置のデータバスライン108とゲートバスライン109との交差部を示す平面図、図14（b）は図14（a）のA-A線による断面図である。また、図12、図13において、（a）は低電圧駆動用TFT形成部の断面図、（b）は高電圧駆動用TFT形成部の断面図、（c）が画素TFT形成部の断面図である。

・【0090】本実施の形態では、図7に示す工程までは基本的に第1の実施の形態と同様にして、低電圧駆動用TFTのゲート電極114及び不純物領域115n、115pを形成する。但し、低電圧駆動用TFTのゲート

電極114の形成と同時に、表示部104のゲートバスライン109とデータバスライン108とが交差する部分のシリコン酸化膜113上に、図14（a）に平面図、図14（b）に断面図を示すように、繋ぎ配線114cを形成しておく。この場合、低電圧駆動用TFTのゲート電極114及び繋ぎ配線114cの厚さは、150nm程度に薄くすることが好ましい。また、図6、図7に示す工程でマスクパターン114bを除去する際には、繋ぎ配線114cもレジストパターン117で被覆しておく。

・【0091】図7に示す工程を終えた後、レジストパターン117を除去する。そして、図12（a）～（c）に示すように、プラズマCVD法により、ガラス基板110の上側全面に厚さが90nmのシリコン酸化膜118を形成する。その後、このシリコン酸化膜118上にフォトリソ膜（図示せず）を形成し、選択露光及び現像処理を施して、コンタクトホール形成用開口部を形成する。そして、この開口部を介してシリコン酸化膜118、113をドライエッチングし、シリコン酸化膜118の上面から不純物領域115n、115p及び繋ぎ配線114cにそれぞれ到達するコンタクトホール118aを形成する。その後、レジスト膜を除去する。

・【0092】次に、スパッタ法により、基板110の上側全面にTiを100nm、Al-Nd（Nd含有量が2at.％）を200nmの厚さに堆積させて、コンタクトホールをこれらの金属で埋め込むとともに、シリコン酸化膜118の上に2層構造の金属膜を形成する。次いで、金属膜の上にフォトリソ膜を形成し、選択露光及び現像処理を行って、所定の形状のレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクにして金属膜をドライエッチングし、図13（a）～（c）に示すように、電極（ソース電極及びドレイン電極）130を形成する。このとき、制御回路101、データドライバ102及びゲートドライバ103の形成領域では、所定の配線パターンを形成する。また、表示部104では、データバスライン108、ゲートバスライン109及び反射電極131を形成する。図14（a）に示すようにゲートバスライン109はデータバスライン108との交差部で分断されるが、コンタクトホール118a内の金属と繋ぎ配線114cとを介して、これらのゲートバスライン109は電気的に接続される。

・【0093】次に、レジストパターンを除去した後、基板110の上側から全体に、加速電圧が70kV、注入量が $2 \times 10^{13} \text{ cm}^{-2}$ の条件でP（リン）をイオン注入し、n型高電圧駆動用TFT及び画素TFTのLDD領域120を形成する。n型高電圧駆動用TFTでは、LDD領域120をドレイン側にのみ形成し、画素TFTではソース側及びドレイン側の両方にLDD領域120を形成する。この工程ではp型TFTの不純物領域11

5pにもP（リン）が注入されるが、B（ボロン）に比べて注入量が少ないので、導電型は変化しない。

・【0094】その後、400℃の温度でアニールして、注入されたP（リン）を電気的に活性化する。このアニール工程の雰囲気水を水素とすることにより、チャンネルとゲート絶縁膜との界面などにある欠陥の水素化を同時に行うことができる。このようにして、反射型液晶表示装置を形成することができる。第1の実施の形態の液晶表示装置では、低電圧駆動用TFTのゲート電極114が形成された第1の配線層と、高電圧駆動用TFT及び画素TFTのゲート電極119が形成された第2の配線層と、配線122が形成された第3の配線層との3つの配線層を有している。一方、本実施の形態では、2つの配線層で低電圧駆動用TFTのゲート電極114、高電圧駆動用TFT及び画素TFTのゲート電極119及び電極130を形成する。従って、第1の実施の形態に比べて製造工程数が少ないという利点がある。

・【0095】図13（a）～（c）に示すような低電圧駆動用TFT、高電圧駆動用TFT及び画素TFTを有する反射型液晶表示装置の場合、6枚のマスク（6回のフォトリソグラフィ工程）で製造することができる。

・（第1及び第2の実施の形態の変形例）第1及び第2の実施の形態では、蓄積容量107を、蓄積容量バスライン、画素電極及びそれらの間のシリコン酸化膜で構成しているものとした。しかし、図15に示すように、画素TFTのポリシリコン膜112を、画素中央部近傍まで延び出して形成し、このポリシリコン膜112と、その上のシリコン酸化膜113及び蓄積容量バスライン141とにより蓄積容量を形成してもよい。微小な面積で大きな容量を確保するために、図16に示すように、蓄積容量バスライン142の上に、シリコン酸化膜118を挟んで容量電極143を形成し、この容量電極143をシリコン酸化膜121上の配線144を介して画素TFTのソース電極122と接続してもよい。

・【0096】また、第2の実施の形態の液晶表示装置の場合は、図17に示すように、画素TFTのポリシリコン膜112を、画素中央部近傍まで延び出して形成し、このポリシリコン膜112とその上のシリコン酸化膜113及び蓄積容量バスライン142とにより蓄積容量を形成してもよい。

・（第3の実施の形態）以下、本発明の第3の実施の形態について説明する。

・【0097】図18（a）は本発明の第3の実施の形態の薄膜トランジスタ装置（液晶表示装置）の低電圧駆動用TFTの構造を示す断面図、図18（b）は同じくその高電圧駆動用TFTの構造を示す断面図である。なお、以下の実施の形態では、画素TFTを高電圧駆動用TFTと同じ構造としている。ガラス基板201上には、下地絶縁膜（バッファ層）202が形成されており、下地絶縁膜202の上にはTFTの動作層となるポ

リシリコン膜203が所定のパターンで形成されている。このポリシリコン膜203には、ソース・ドレインとなる一対の高濃度不純物領域203aが、チャンネル領域を挟んで形成されている。また、高電圧駆動用TFT形成領域では、高濃度不純物領域203aのチャンネル領域側の端部に、それぞれLDD領域（低濃度不純物領域）203bが形成されている。

・【0098】高電圧駆動用TFT形成領域では、ポリシリコン膜203のチャンネル領域及びLDD領域203bの上に、シリコン酸化膜（SiO₂）204が約100nmの厚さに形成されている。また、下地絶縁膜202、ポリシリコン膜203及びシリコン酸化膜204の上には、シリコン酸化膜205が約30nmの厚さに形成されている。このシリコン酸化膜205の上に、低電圧駆動用TFTのゲート電極206a及び高電圧駆動用TFTのゲート電極206bがそれぞれ形成されている。

・【0099】シリコン酸化膜205及びゲート電極206a、206bの上には、層間絶縁膜として、シリコン酸化膜208が形成されている。このシリコン酸化膜208には不純物領域203aに通じるコンタクトホールが形成され、シリコン酸化膜208の上にはコンタクトホールを介して不純物領域203aに電気的に接続された電極（ソース電極及びドレイン電極）209が形成されている。

・【0100】この図18（a）、（b）に示すように、本実施の形態では、ポリシリコン膜203全体がシリコン酸化膜205又はシリコン酸化膜204に覆われていること、低電圧駆動用TFTではゲート絶縁膜がシリコン酸化膜205の一層からなり、高電圧駆動用TFTではゲート絶縁膜がシリコン酸化膜204、205の2層からなること、低電圧駆動用TFTにはLDD領域がなく、高電圧駆動用TFTにはLDD領域203bが設けられていることを特徴としている。

・【0101】すなわち、ゲート電極206aと高濃度不純物領域203aとの間がシリコン酸化膜205により確実に分離されているので、リーク電流の発生が防止される。また、低電圧駆動用TFTではゲート絶縁膜をシリコン酸化膜205の1層のみで構成し、高電圧駆動用TFTではゲート絶縁膜をシリコン酸化膜204、205の2層構造としている。厚さが異なる2種類のゲート絶縁膜を形成する場合、厚いゲート絶縁膜を形成し、このゲート絶縁膜の一部をエッチバックして薄いゲート絶縁膜を形成することが考えられる。しかし、この方法ではエッチバック量の制御が難しいという難点がある。本実施の形態のように、薄いゲート絶縁膜を1層のシリコン酸化膜205のみで構成し、厚い絶縁膜を2層のシリコン酸化膜204、205の積層体で構成するほうが、厚さの制御が容易である。

・【0102】本実施の形態において、低電圧駆動用TFT

Tでは、ゲート絶縁膜が薄く且つLDD領域を有していないので、低電圧でも高速動作が可能である。また、高電圧駆動用TFTでは、ゲート絶縁膜が厚く且つLDD領域203bを有しているの、耐圧が高く、高電圧で駆動してもホットキャリアによる特性劣化が回避される。

・【0103】以下、本実施の形態の液晶表示装置の製造方法について、図19～図23を参照して説明する。これらの図19～図23において、(a)は低電圧駆動用TFTの形成領域における断面図、(b)は高電圧駆動用TFTの形成領域における断面図を示している。まず、図19(a)、(b)に示すように、ガラス基板201の上に、下地絶縁膜として、厚さが約40nmのシリコン窒化膜202aと厚さが約20nmのシリコン酸化膜202bとを順次形成する。

・【0104】次に、CVD法により、シリコン酸化膜202bの上に厚さが50nmのアモルファスシリコン膜を形成する。その後、アモルファスシリコン膜の全面にエキシマレーザを照射して、アモルファスシリコン膜をポリシリコン膜に変化させ、このポリシリコン膜をフォトリソグラフィ技術を使用してパターニングする。このようにして、図19(a)、(b)に示すように、下地絶縁膜(シリコン酸化膜202b)の上にTFTの動作層となるポリシリコン膜203を形成する。

・【0105】次に、CVD法により、基板201の上側全面にシリコン酸化物を約100nmの厚さに堆積させて、シリコン酸化膜を形成する。その後、このシリコン酸化膜をフォトリソグラフィ技術を使用してパターニングする。このようにして、図20(a)、(b)に示すように、高電圧駆動用TFT形成領域のポリシリコン膜203のチャンネル領域となる領域上にシリコン酸化膜204を形成する。

・【0106】通常、シリコン酸化膜のパターニングは、 CHF_3 ガスを用いたドライエッチングで行う。このとき、下地絶縁膜であるシリコン酸化膜202bもエッチングされるが、基板201はシリコン窒化膜202aにより保護される。また、このドライエッチング時に、レジストと CHF_3 ガスとによる反応生成物等により、ポリシリコン膜203の表面に汚染層が生成される。この汚染層を除去又は酸化するために、酸素を含むガス雰囲気中でプラズマ処理する。その後、フッ酸を含む溶液でポリシリコン膜203を処理して、ポリシリコン膜203の表面の酸化層を除去する。

・【0107】次に、図21(a)、(b)に示すように、CVD法により、基板201の上側全面にシリコン酸化膜205を約30nmの厚さに形成し、このシリコン酸化膜205により、シリコン窒化膜202a、ポリシリコン膜203及びシリコン酸化膜204を被覆する。その後、スパッタ法により、シリコン酸化膜205の上に、Cr(クロム)からなる金属膜を約400nm

の厚さに形成した後、この金属膜をパターニングしてゲート電極206a、206bを形成する。この場合、図21(b)に示すように、高電圧駆動用TFT形成領域では、ゲート電極206bの幅がシリコン酸化膜204の幅よりも小さく、且つ上から見たときにシリコン酸化膜204のエッジとゲート電極206bのエッジとの間にLDD領域に相当する間隔が設けられるようにマスクを位置決めする必要がある。なお、ゲート電極206a、206bの材料はCrに限定されるものではなく、他の導電材料を使用してもよい。

・【0108】次に、図22(a)、(b)に示すように、ゲート電極206a、206b及びシリコン酸化膜204をマスクとし、例えば加速エネルギーが30keV、注入量が $1 \times 10^{15} \text{cm}^{-2}$ の条件で低電圧駆動用TFT形成領域及び高電圧駆動用TFT形成領域のポリシリコン膜203にP(リン)をイオン注入して、ソース・ドレインとなる高濃度不純物領域203aを形成する。その後、続けて、例えば加速エネルギーが90keV、注入量が $1 \times 10^{14} \text{cm}^{-2}$ の条件で高電圧駆動用TFT形成領域のポリシリコン膜203にP(リン)をイオン注入して、LDD領域(低濃度不純物領域)203bを形成する。

・【0109】なお、ここでは説明を省略したが、ドライバ等の周辺回路は通常CMOS構成なので、n型TFTのソース・ドレインを形成するときにはp型TFT形成領域をフォトレジスト等のマスクで覆った後、上記のようにリン等の不純物をポリシリコン膜203にイオン注入する。また、p型TFTのソース・ドレインを形成するときにはn型TFT形成領域をマスクで覆った後、p型TFT形成領域のポリシリコン膜にB(ボロン)等の不純物をイオン注入する。

・【0110】次に、図23(a)、(b)に示すように、CVD法により、基板201の上側全面に、層間絶縁膜としてシリコン酸化膜208を約300nmの厚さに形成する。その後、フォトリソグラフィ技術を使用して、シリコン酸化膜208に、高濃度不純物領域203aに通じるコンタクトホールを形成する。次いで、基板201の上側全面にモリブデン(Mo)等の金属を堆積させて、シリコン酸化膜208の上に厚さが約300nmの金属膜を形成する。そして、この金属膜をパターニングし、コンタクトホールを介して高濃度不純物領域203aに電氣的に接続した電極209を形成する。このようにして、低電圧駆動用TFT及び高電圧駆動用TFTが完成する。

・【0111】なお、上記の方法では、ゲート絶縁膜及び層間絶縁膜をいずれもシリコン酸化膜により形成するものとしたが、ゲート絶縁膜及び層間絶縁膜を他の絶縁材料により形成してもよい。また、基板201の材料はガラスに限定されるものではなく、プラスチックやその他の透明材料により形成された板材を用いることができ

る。

・【0112】以下、本発明の効果について説明する。従来技術の図57(a)に示す低電圧駆動用TFTでは、ゲート絶縁膜を例えば30nm程度に薄くすることで、低電圧での高速動作を可能としている。この場合、図57(a)に示すように、ゲート絶縁膜の幅とゲート電極の幅とが同じであると、パターンニング等の工程でゲート絶縁膜の側部に不可避免的に残留したわずかな不純物や汚染イオンのために、リーク電流が発生しやすくなる。また、低電圧駆動用TFTのゲート電極を形成した後、高電圧駆動用TFTのゲート絶縁膜を形成する場合、半導体膜とゲート絶縁膜との界面を清浄にするために、通常フッ酸を含む液で処理する。ところが、既に形成したゲート絶縁膜がシリコン酸化膜の場合、その側部がフッ酸に侵食されてしまい、リーク電流がより一層発生しやすくなったり、チャネルとソース・ドレインとの間にオフセット構造ができる。なお、高電圧駆動用TFTでは、図57(b)に示すように、LDD層の分だけ(例えば1μm)ゲート絶縁膜の側部とゲート電極とが離れ、且つ、ゲート絶縁膜の厚さが厚いため、リーク電流の可能性が低い。

・【0113】本実施の形態では、TFTのソース・ドレインである高濃度不純物領域の上にもゲート絶縁膜(シリコン酸化膜205)が形成されているので、このゲート絶縁膜によりゲート電極206aと高濃度不純物領域203aとの間を確実に分離することができる。また、本実施の形態では、厚く形成したシリコン酸化膜204を介してポリシリコン膜に不純物をイオンを注入することでLDD領域を形成するので、図57(a)、(b)に示す薄膜トランジスタ装置に比べて、マスク工程を簡略化することができる。

・【0114】上記第3の実施の形態では、ゲート絶縁膜を構成する絶縁膜204、205をいずれもシリコン酸化物(SiO₂)で形成する場合のように、2つの絶縁膜の相互のエッチング比がとれない場合に有効である。一方の絶縁膜をシリコン酸化物(SiO₂)で形成し、他方の絶縁膜をシリコン窒化物(SiN)で形成することも考えられる。例えば、ポリシリコン膜203を形成した後、高電圧駆動用TFT形成領域のポリシリコン膜の上のみ厚さが100nmのシリコン窒化膜を形成する。その後、基板201の上側沿面にシリコン酸化膜を30nmの厚さ形成する。このようにしても、低電圧駆動用TFT形成領域にシリコン酸化膜のみからなる薄いゲート絶縁膜を形成し、高電圧駆動用TFT形成領域にシリコン窒化膜とシリコン酸化膜との2層構造の厚いゲート絶縁膜を形成することができる。

・【0115】しかし、シリコン酸化膜と、それ以外の絶縁膜とは界面準位を形成して、TFTの信頼性を低下させるおそれがあるので、上記第3の実施の形態で説明したように、ゲート絶縁膜を構成する2つの絶縁膜はいず

れもシリコン酸化物であることが好ましい。また、エッチバックにより薄いゲート絶縁膜と厚いゲート絶縁膜とを形成してもよい。すなわち、図19に示すようにポリシリコン膜203を形成した後、基板201の上側全面に絶縁膜を130nmの厚さに形成し、その上にレジストパターンを形成する。そして、絶縁膜を100nmの厚さだけエッチバックすることによって、図24に示すように、低電圧駆動用TFT形成領域では薄く、高電圧駆動用TFT形成領域では厚いゲート絶縁膜210を形成することができる。

・【0116】本実施の形態では、図20に示す工程で、フッ酸を含む溶液で処理することによってポリシリコン膜203の表面の酸化層を除去する際に、シリコン酸化膜204の上部及び側部がエッチングされる。従って、シリコン酸化膜204は、予め所望のサイズよりも若干大きめに形成することが好ましい。なお、フッ酸を含む溶液でポリシリコン膜203の表面を処理した後にソース・ドレインとなる高濃度不純物領域を形成するので、この工程でシリコン酸化膜204がエッチングされても、チャネル領域とソース・ドレインとの間にオフセット領域が形成されることはない。

・【0117】更に、本実施の形態では、下地絶縁膜をシリコン窒化膜202aとシリコン酸化膜202bとの2層構造にしている。上述したようにシリコン酸化膜204を形成する際には下地絶縁膜のシリコン酸化膜202bがエッチングされるが、シリコン酸化膜202bの厚さは約20nmと薄いので、ポリシリコン膜203のエッジ部分でシリコン酸化膜(ゲート絶縁膜)205の被覆性が損なわれることはない。

・【0118】(第4の実施の形態)図25(a)は本発明の第4の実施の形態の薄膜トランジスタ装置(液晶表示装置)の低電圧駆動用TFTの構造を示す断面図、図25(b)は同じくその高電圧駆動用TFTの構造を示す断面図である。本実施の形態においても、画素TFTを高電圧駆動用TFTと同じ構造としている。

・【0119】まず、低電圧駆動用TFTの構造について説明する。図25(a)に示すように、ガラス基板221上には、下地絶縁膜(バッファ層)222が形成されており、下地絶縁膜222の上にはポリシリコン膜223が選択的に形成されている。このポリシリコン膜223には、ソース・ドレインとなる一対の高濃度不純物領域223aと、高濃度不純物領域223aのチャネル領域側の端部に配置された一対の擬似LDD領域223cとが設けられている。擬似LDD領域223cは、後述する高電圧駆動用TFTのLDD領域223bとは異なり、高濃度不純物領域223aとほぼ同じ濃度で不純物が注入されている。

・【0120】ポリシリコン膜223のチャネル領域及び擬似LDD領域223cの上には、ゲート絶縁膜として、厚さが30nmのシリコン酸化膜225が形成され

ている。また、シリコン酸化膜225の上には、ゲート電極226aが形成されている。上から見たときに、擬似LDD領域223cのチャンネル領域側のエッジは、ゲート電極226aのエッジとほぼ同じ位置にある。

・【0121】下地絶縁膜222、ポリシリコン膜223、シリコン酸化膜225及びゲート電極226aの上には、層間絶縁膜としてシリコン窒化膜228が形成されている。このシリコン窒化膜228の上には電極（ソース電極及びドレイン電極）229が形成されており、これらの電極229はシリコン窒化膜228に形成されたコンタクトホールを介して高濃度不純物領域223aに電気的に接続されている。

・【0122】次に、高電圧駆動用TFTの構成について説明する。図25(b)に示すように、ガラス基板221上には下地絶縁膜222が形成されており、下地絶縁膜222の上にはポリシリコン膜223が選択的に形成されている。このポリシリコン膜223には、ソース・ドレインとなる一対の高濃度不純物領域223aと、高濃度不純物領域223aのチャンネル領域側の端部に配置された一対のLDD領域（低濃度不純物領域）223bとが設けられている。

・【0123】ポリシリコン膜223のチャンネル領域及びLDD領域223bの上には、厚さが100nmのシリコン酸化膜224と、厚さが30nmのシリコン酸化膜225とが積層されている。これらのシリコン酸化膜224、225により、高電圧駆動用TFTのゲート絶縁膜が構成されている。シリコン酸化膜225の上には、ゲート電極226bが形成されている。上から見たときに、LDD領域223bのチャンネル領域側のエッジは、ゲート電極226bのエッジとほぼ同じ位置にある。

・【0124】下地絶縁膜222、ポリシリコン膜223、シリコン酸化膜225及びゲート電極226bの上には、層間絶縁膜としてシリコン窒化膜228が形成されている。このシリコン窒化膜228の上には電極（ソース電極及びドレイン電極）229が形成されており、これらの電極229はシリコン窒化膜228に形成されたコンタクトホールを介して高濃度不純物領域223aに電気的に接続されている。

・【0125】以下、本実施の形態の液晶表示装置の製造方法について、図26～図30を参照して説明する。これらの図26～図30において、(a)は低電圧駆動用TFTの形成領域における断面図、(b)は高電圧駆動用TFTの形成領域における断面図を示している。まず、図26(a)、(b)に示すように、ガラス基板221上に、下地絶縁膜として、厚さが40nmのシリコン窒化膜222aと、厚さが約20nmのシリコン酸化膜222bとを順次形成する。

・【0126】次に、CVD法により、下地絶縁膜の上にアモルファスシリコン膜を約50nmの厚さに形成する。そして、アモルファスシリコン膜にエキシマレーザ

を照射して、ポリシリコン膜に変化させる。次に、フォトリソグラフィ技術を使用してポリシリコン膜をパターニングする。このようにして、所定の領域の下地絶縁膜（シリコン酸化膜22b）上にポリシリコン膜223を形成する。

・【0127】次に、CVD法により、基板221の上側全面に厚さが約100nmのシリコン酸化膜（SiO₂）を形成する。その後、フォトリソグラフィ技術を使用して、このシリコン酸化膜をパターニングする。このようにして、図26(b)に示すように、高電圧駆動用TFT形成領域のポリシリコン膜223を覆うシリコン酸化膜224を形成する。

・【0128】このシリコン酸化膜224の形成工程において、下地絶縁膜のシリコン酸化膜222bも必然的にエッチングされて、シリコン窒化膜222aが露出する。このシリコン酸化膜224のパターニングはCHF₃ガスを用いたドライエッチングで行う。その後、酸素を含むガス雰囲気中でプラズマ処理して、エッチング時のレジストとCHF₃ガスによる反応生成物等のポリシリコン膜223の表面の汚染層を除去又は酸化を行う。更に、ポリシリコン膜223を、フッ酸を含む溶液で処理することで、ポリシリコン膜223の表面の酸化層を除去する。

・【0129】次に、図27(a)、(b)に示すように、基板221の上側全面にシリコン酸化膜225を約80nmの厚さに形成し、このシリコン酸化膜225の上にCr等の金属からなる金属膜226を約400nmの厚さに形成する。そして、フォトリソグラフィ技術を使用して、金属膜226の上に、ゲート電極形成用レジストパターン227a、227bを形成する。

・【0130】次に、図28(a)、(b)に示すように、金属膜226をエッチングしてゲート電極226a、226bを形成する。このとき、エッチング時間を調整して、ゲート電極226a、226bの幅がレジストパターン227a、227bの幅よりも2μm程度狭くなるようにサイドエッチングを行う。続けて、プラズマ中でシリコン酸化膜225、224を異方性エッチングして、レジストパターン227a、227bの下方にのみシリコン酸化膜225、224を残し、他の領域のシリコン酸化膜225、224を除去する。その後、レジストパターン227a、227bを除去する。このようにして、ゲート絶縁膜（絶縁膜224、225）と、ゲート絶縁膜よりも幅が狭いゲート電極226a、226bとを形成することができる。

・【0131】次に、図29(a)、(b)に示すように、ゲート電極226a、226b及びゲート絶縁膜224、225をマスクとして、加速エネルギーが10keV、注入量が1×10¹⁵cm⁻²の条件でポリシリコン膜223にP（リン）をイオン注入し、低電圧駆動用TFT及び高電圧駆動用TFTのソース・ドレインとなる

高濃度不純物領域223aを形成する。

・【0132】続けて、加速エネルギーが30keV、注入量が $1 \times 10^{15} \text{ cm}^{-2}$ の条件で、シリコン酸化膜225を介して低電圧駆動用TFT形成領域のポリシリコン膜223にP（リン）をイオン注入し、擬似LDD領域223cを形成する。更に、加速エネルギーが90keV、注入量が $1 \times 10^{14} \text{ cm}^{-2}$ の条件で、シリコン酸化膜225、224を介して高電圧駆動用TFT形成領域のポリシリコン膜223にP（リン）をイオン注入し、LDD領域（低濃度不純物領域）223bを形成する。このように、本実施の形態では、ゲート絶縁膜の有無、及びゲート絶縁膜の厚さに応じて不純物の加速エネルギーを調整し、高濃度不純物領域223a、低電圧駆動用TFTの擬似LDD領域223c及び高電圧駆動用TFTのLDD領域223bを形成する。

・【0133】次いで、図30（a）、（b）に示すように、基板221の上側全面に、層間絶縁膜として、厚さが300nmのシリコン窒化膜228を形成する。そして、このシリコン窒化膜228に、高濃度不純物領域223aに通じるコンタクトホールを形成する。その後、基板221の上側全面にMo等の金属を堆積させて厚さが300nmの金属膜を形成し、この金属膜をパターニングすることにより、コンタクトホールを介して高濃度不純物領域223aに電気的に接続された電極229を形成する。

・【0134】このようにして、低電圧駆動用TFT及び高電圧駆動用TFTを備えた液晶表示装置が完成する。なお、上記の例ではn型TFTの製造方法について説明したが、p型TFTを形成するときにはn型TFT形成領域をレジストでマスクし、ポリシリコン膜223にB（ボロン）等の不純物を注入すればよい。本実施の形態においても、ゲート電極とゲート絶縁膜の側部との距離が離れているので、第3の実施の形態と同様に、ゲート電極と高濃度不純物領域との間のリーク電流が低減される。また、ゲート絶縁膜が薄く、低電圧で高速動作が可能な低電圧駆動用TFTと、ゲート絶縁膜が厚い高電圧駆動用TFTとを比較的簡単な工程で製造することができる。

・【0135】本実施の形態においては、3種類の条件でポリシリコン膜223に不純物を注入するので、第3の実施の形態に比べてイオン注入工程が多くなる。しかし、サイドエッチングによりLDD領域及び擬似LDD領域の形成時のマスクとなるゲート電極226a、226bを形成するため、第3の実施の形態では必要であった絶縁膜204とゲート電極226a、226bとの1～3μm程度の高精度なマスク合わせ（図21に示す工程）が不要になるという利点がある。

・【0136】上記第3及び第4の実施の形態において、低電圧駆動用TFTのチャンネル長を高電圧駆動用TFTのチャンネルよりも短くすることで、更に高速動作が可能

になる。また、液晶表示装置に使用する高電圧駆動用TFTでは高速動作はそれほど必要でないので、ホットキャリア劣化やオフリーク特性を考慮して、チャンネル長を長めにするのが好ましい。

・【0137】（第5の実施の形態）図31は本発明の第5の実施の形態の薄膜トランジスタ装置の高電圧駆動用TFTの構造を示す断面図、図32は同じくその低電圧駆動用TFTの構成を示す断面図である。図31（a）は高電圧駆動用TFTのゲート電極に直交する方向の断面を示し、図31（b）は高電圧駆動用TFTのゲート電極に平行な方向の断面を示している。また、図32（a）は低電圧駆動用TFTのゲート電極に直交する方向の断面を示し、図32（b）は低電圧駆動用TFTのゲート電極に平行な方向の断面を示している。

・【0138】まず、高電圧駆動用TFTの構造について説明する。図31（a）、（b）に示すように、ガラス等の透明材料からなる基板301の上には、下地絶縁膜として、シリコン窒化膜302a及びシリコン酸化膜302bが積層して形成されている。シリコン酸化膜302b上の所定領域には、ポリシリコン膜303が形成されている。このポリシリコン膜303には、TFTのソース・ドレインとなる一対の高濃度不純物領域303aがチャンネル領域を挟んで形成されており、更に高濃度不純物領域303aとチャンネル領域との間にはLDD領域（低濃度不純物領域）303bが形成されている。

・【0139】ポリシリコン膜303のチャンネル領域及びLDD領域303bの上には、厚さが100nmのシリコン酸化膜304と、厚さが30nmのシリコン酸化膜305とが積層されている。これらのシリコン酸化膜304、305により、高電圧駆動用TFTのゲート絶縁膜が構成されている。シリコン酸化膜305の上には、ゲート電極306aが形成されている。このゲート電極306aの幅は、ゲート絶縁膜（シリコン酸化膜304、305）の幅よりも狭くなっている。また、上から見たときに、LDD領域303aのチャンネル領域側のエッジは、ゲート電極306aのエッジとほぼ同じ位置にある。

・【0140】次に、低電圧駆動用TFTの構成について説明する。図32（a）、（b）に示すように、基板301の上には、下地絶縁膜として、シリコン窒化膜302a及びシリコン酸化膜302bが積層して形成されている。シリコン酸化膜302bの上には、ポリシリコン膜303が選択的に形成されている。このポリシリコン膜303には、TFTのソース・ドレインとなる一対の高濃度不純物領域303aがチャンネル領域を挟んで形成されている。

・【0141】ポリシリコン膜303のチャンネル領域及び高濃度不純物領域303aのチャンネル側先端部分の上には、厚さが30nmのシリコン酸化膜305が形成されている。このシリコン酸化膜305により、低電圧駆動

用TFTのゲート絶縁膜が構成されている。また、図32(b)に示すように、ポリシリコン膜303のエッジ部分のうちゲート電極306bに交差する部分の上には、厚さが100nmのシリコン酸化膜304が形成されている。

・【0142】シリコン酸化膜305の上には、ゲート電極306bが形成されている。このゲート電極306bの幅は、ゲート絶縁膜(シリコン酸化膜305)の幅よりも狭くなっている。また、上から見たときに、高濃度不純物領域303aのチャネル領域側の先端部分は、ゲート電極306aのエッジ部分と重なっている。以下、上述した2種類のTFTを用いた本実施の形態の薄膜トランジスタ装置(液晶表示装置)の製造方法について、図33～図41を参照して説明する。これらの図32～図41において、(a)は高電圧駆動用TFT形成領域における断面図、(b)は低電圧駆動用TFT形成領域における断面図を示している。また、これらの図は、いずれもゲート電極306a、306bに直交する方向における断面を示している。

・【0143】まず、図33(a)、(b)に示すように、CVD法により、ガラス基板301の上に下地絶縁膜として、厚さが約50nmのシリコン窒化膜302aと、厚さが約200nmのシリコン酸化膜302bを順次形成する。その後、プラズマCVD法により、シリコン酸化膜302bの上にアモルファスシリコン膜を約50nmの厚さに形成する。そして、このアモルファスシリコン膜にエキシマレーザを照射し、アモルファスシリコン膜をポリシリコン膜に変化させる。その後、ポリシリコン膜の上に所定のパターンのレジスト膜を形成し、このレジスト膜をマスクにしてポリシリコン膜をエッチングする。その後、レジスト膜を除去する。このようにして、図33(a)、(b)に示すように、シリコン酸化膜302b上の所定の領域にポリシリコン膜303を形成する。

・【0144】次に、基板301の上側全面にシリコン酸化膜304を約100nmの厚さに形成し、このシリコン酸化膜304の上に、例えば図42に示すようなパターンのレジスト膜(低電圧駆動用トランジスタの中央部が露出する開口部341が設けられたレジスト膜)340を形成する。なお、図42において、(a)は高電圧駆動用TFT形成領域のレジスト膜(開口部なし)340を示し、(b)は低電圧駆動用TFT形成領域のレジスト膜(開口部あり)340を示す。また、図中の破線はポリシリコン膜303の形状を示している。

・【0145】このレジスト膜340をマスクにしてシリコン酸化膜304をウェットエッチングし、図34(b)に示すように、低電圧駆動用TFT形成領域のポリシリコン膜303の中央部を露出させる。この場合、ポリシリコン膜303のエッジ部分の上にはシリコン酸化膜304を残しておく。シリコン酸化膜304のエッ

チング液としては、例えば希フッ酸溶液を使用することができる。高電圧駆動用TFT形成領域では、図34(b)に示すように、ポリシリコン膜303全体がシリコン酸化膜304に覆われたままとする。

・【0146】次に、図35(a)、(b)に示すように、基板301の上側全面に、CVD法によりシリコン酸化膜305を例えば30nmの厚さに形成し、更にスパッタ法によりAl-Nd膜306を例えば300nmの厚さに形成する。その後、Al-Nd膜306の上に所定のゲート電極形状のレジストパターン315を形成する。

・【0147】次に、図36(a)、(b)に示すように、レジストパターン315をマスクにしてAl-Nd膜306をエッチングして、ゲート電極306a、306b、ゲートバスライン(図示せず)、蓄積容量バスライン(図示せず)及び下層配線を形成する。このとき、Al-Nd膜306はサイドエッチングして、レジスト膜315よりも狭い幅とする。また、シリコン酸化膜304、305は、レジスト膜315をマスクとして垂直方向にドライエッチングして、レジスト膜315とほぼ同じ幅とする。このようにして、ゲート電極306a、306bとゲート絶縁膜であるシリコン酸化膜305との間に段差を設ける。

・【0148】このとき、高電圧駆動用TFT形成領域では、ゲート電極306aの下方にシリコン酸化膜304、305が残り(図31(b)参照)、低電圧駆動用TFT形成領域では、ポリシリコン膜303のエッジ部分のうち、ゲート電極306bと交差する部分の上に、シリコン酸化膜304、305が残る(図32(b)参照)。

・【0149】次に、図37(a)、(b)に示すように、シリコン酸化膜305(低電圧駆動用TFT形成領域)又はシリコン酸化膜305、304を介してポリシリコン膜303に不純物をイオン注入する。n型TFTの場合はP(リン)をイオン注入し、n型TFTの場合はB(ボロン)をイオン注入する。このとき、イオン注入条件を適切に設定することにより、低電圧駆動用TFT形成領域のポリシリコン膜303には、その先端がゲート電極306bのエッジのほぼ真下に位置する高濃度不純物領域(ソース・ドレイン)303aを形成し、高電圧駆動用TFT形成領域では、その先端がゲート絶縁膜のエッジの真下に位置する高濃度不純物領域(ソース・ドレイン)303aを形成する。また、ゲート電極306aのエッジの真下とゲート絶縁膜305のエッジの真下との間の領域に低濃度不純物領域(LDD層)303bを形成する。

・【0150】次に、図38(a)、(b)に示すように、プラズマCVD法により、基板301の上側全面に、層間絶縁膜として、シリコン酸化膜307及びシリコン窒化膜308の積層膜を形成する。そして、フォト

リソグラフィ技術を使用して、この層間絶縁膜に、高濃度不純物領域303aに通じるコンタクトホールを306aを形成する。層間絶縁膜のエッチングは、フッ素系ガスをを用いたドライエッチングにより行う。

・【0151】次に、スパッタ法により、基板301の上側全面に、Tiを100nm、Alを200nm、Tiを50nmの厚さに順次堆積させて、3層構造の導電体膜を形成する。そして、フォトリソグラフィ技術を使用してこの導電膜をパターンニングし、図39(a)、

・(b)に示すように、コンタクトホール308aを介して高濃度不純物領域303aに電気的に接続された電極・(ソース電極及びドレイン電極)309、データバスライン(図示せず)及び上層配線(図示せず)を形成する。

・【0152】次に、図40(a)、(b)に示すように、プラズマCVD法により、基板301の上側全面に第2の層間絶縁膜としてシリコン窒化膜310を例えば800nmの厚さに形成する。そして、フォトリソグラフィ技術を使用して、高電圧駆動用TFTのソース電極309(図39(a)の右側の電極)が露出するように、シリコン窒化膜310をエッチングする。シリコン窒化膜310のエッチングにはフッ素系ガスをを用いたドライエッチングにより行う。

・【0153】次いで、図41(a)、(b)に示すように、スパッタ法により、基板301の上側全面にITO膜を例えば70nmの厚さに成膜し、フォトリソグラフィ技術を使用して、ITO膜をパターンニングして、画素電極311を形成する。このようにして、液晶表示装置が形成される。本実施の形態では、ウェットエッチングによりシリコン酸化膜304をエッチングして、低電圧駆動用TFT形成領域のポリシリコン膜の上のシリコン酸化膜304を除去する。これにより、プラズマエッチングでシリコン酸化膜304を除去する方法に比べ、ポリシリコン膜303に与えるダメージが少なく、TFTの特性劣化が回避される。また、このとき、低電圧駆動用TFTのポリシリコン膜303のエッジ部分のうちゲート電極306bと交差する部分の上にシリコン酸化膜304が存在する(図31参照)ので、絶縁膜304、305をエッチングするときに、ゲート電極306bとポリシリコン膜303のエッジとゲート電極306bとが交差する部分の下地絶縁膜(シリコン酸化膜302b)がエッチングされてえぐれ(凹部)が生じることが回避される。従って、リーク電流の発生が回避され、TFTの特性が向上する。また、本実施の形態では、高電圧駆動用TFTのLDD構造をゲート電極306aをマスクとして自己整合的に形成するため、LDD長のばらつきを低減できる。これにより、薄膜トランジスタ特性のばらつきも低減できる。

・【0154】(第6の実施の形態)図43~図45は本発明の第6の実施の形態の薄膜トランジスタ装置の製造

方法を示す図である。まず、図43(a)、(b)に示すように、ガラス基板321の上に下地絶縁膜としてシリコン窒化膜322a及びシリコン酸化膜322bを形成する。その後、プラズマCVD法により、シリコン酸化膜322b上の所定領域にポリシリコン膜323を形成する。

・【0155】次に、図44(a)、(b)に示すように、基板321の上側全面にシリコン酸化膜324を例えば100nmの厚さに形成する。そして、このシリコン酸化膜324を選択的にエッチングして、ポリシリコン膜323が露出する開口部を形成する。この場合、図46に示すように開口部342が設けられたマスク340を使用し、高電圧駆動用TFT形成領域では、ポリシリコン膜323のエッジ部分と、チャネル領域及び低濃度不純物領域の上にシリコン酸化膜324を残し、低電圧駆動用TFT形成領域ではポリシリコン膜323のエッジ部分の上にシリコン酸化膜324が残るようにする。なお、図46(a)は高電圧駆動用TFT形成領域のレジスト膜340の開口部342の形状を示し、図46(b)は低電圧駆動用TFT形成領域のレジスト膜340の開口部342の形状を示す。また、図中破線はポリシリコン膜323の形状を示している。

・【0156】次に、図45(a)、(b)に示すように、基板321の上側全面にシリコン酸化膜325を形成する。そして、このシリコン酸化膜325の上に金属膜を形成し、この金属膜をパターンニングして、ゲート電極326a、326bを形成する。その後、第5の実施の形態と同様に、ポリシリコン膜323に不純物を導入して高濃度不純物領域(ソース・ドレイン)及びLDD領域(低濃度不純物領域)を形成する。その後、絶縁膜及び画素電極を形成する。このようにして、本実施の形態の液晶表示装置が製造される。

・【0157】本実施の形態では、シリコン酸化膜324をエッチングするときのレジストマスクを用いてゲート絶縁膜とゲート電極との間に段差を形成できるので、サイドエッチングを用いず、且つマスク数を増やすことなく、高電圧駆動用TFTのLDD領域を形成することができる。また、本実施の形態においても、ポリシリコン膜323のエッジ部分の上に厚いシリコン酸化膜324が形成されているため、下地絶縁膜のえぐれ(凹部の形成)が防止され、リーク電流が抑制される。

・【0158】また、図47に示すような開口部343を有するレジスト膜340をマスクにしてシリコン酸化膜324をエッチングし、ポリシリコン膜323を露出させるようにしてもよい。このレジスト膜340では、ポリシリコン膜323のエッジ部分のうちゲート電極326bと交差する部分の上にはシリコン酸化膜324が形成されているので、下地絶縁膜であるシリコン酸化膜322bのエッチングが防止され、ゲート耐圧の劣化が回避される。また、高濃度不純物領域のエッジ部分の上の

シリコン酸化膜324は除去するので、ポリシリコン膜323の面積を縮小することができる。

・【0159】(第7の実施の形態)図48～図55は本発明の第7の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図である。まず、図48(a)、(b)に示すように、CVD法により、絶縁性ガラス等からなる基板401の上に、下地絶縁膜としてシリコン窒化膜402aを50nm、シリコン酸化膜402bを200nmの厚さに形成する。

・【0160】次に、シリコン酸化膜402b上の所定の領域にポリシリコン膜403を50nmの厚さに形成する。すなわち、プラズマCVD法により、シリコン酸化膜402bの上にアモルファスシリコン膜を形成する。その後、窒素雰囲気中で450℃の温度で2時間アニールして、アモルファスシリコン膜中の水素を低減させる。

・【0161】次に、パワーが400mJ/cm²の条件でアモルファスシリコン膜にレーザを照射して、アモルファスシリコン膜をポリシリコンに変化させる。その後、フォトリソグラフィ技術を使用して、ポリシリコン膜をパターンニングする。このようにしてポリシリコン膜403を形成した後、プラズマCVD法により基板401の上側全面にシリコン酸化膜404を60nmの厚さに形成する。その後、窒素雰囲気中で450℃の温度で2時間アニールする。

・【0162】次に、スパッタ法により、基板401の上側全面にAl(アルミニウム)膜を300nmの厚さに形成する。そして、Al膜の上に所定のゲート電極形状でレジストパターンを形成し、このレジストパターンをマスクとしてAl膜をウェットエッチングして、図49(a)に示すように、低電圧駆動用TFTのゲート電極406を形成する。Al膜のエッチングにはH₃PO₄+CH₃COOH+HNO₃水溶液を使用する。また、高電圧駆動用TFT形成部では、図49(b)に示すように、Al膜を全て除去する。

・【0163】次に、図50(a)、(b)に示すように、プラズマCVD法により、基板401の上側全面にシリコン酸化膜407を60nmの厚さに形成する。また、スパッタ法により、シリコン酸化膜407の上にAl膜408を300nmの厚さに形成する。その後、Al膜408の上に所定のゲート電極形状のレジストパターン(図示せず)を形成する。そして、このレジストパターンをマスクとし、Al膜408をウェットエッチングし、図51(b)に示すように、高電圧駆動用TFTのゲート電極409を形成する。エッチング液としてH₃PO₄+CH₃COOH+HNO₃水溶液を使用する。この場合、ゲート電極409がレジストパターンの幅よりもLDD領域の分だけ狭くなるように、サイドエッチングする。また、図51(a)に示すように、低電圧駆動用TFT形成領域では、シリコン酸化膜407上

のAl膜408を全て除去する。

・【0164】次に、図52(a)、(b)に示すように、レジストパターンをマスクとし、CHF₃ガスを用いてシリコン酸化膜404、407を異方性ドライエッチングする。これにより、高電圧駆動用TFT形成領域では、ゲート電極409とゲート絶縁膜(シリコン酸化膜404、407との間に段差が形成される。その後、レジストパターンを除去する。

・【0165】次に、図53(a)、(b)に示すように、ポリシリコン膜403に不純物を注入し、ソース・ドレインとなる高濃度不純物領域403a及びLDD領域(高濃度不純物領域)403bを形成する。n型低電圧駆動用TFTの場合は、PH₃/H₂ガスを用い、加速エネルギーが10keV、注入量が4×10¹⁵cm⁻²の条件でポリシリコン膜403にP(リン)をイオン注入して、高濃度不純物領域403aを形成する。また、p型低電圧駆動用TFTの場合は、B₂H₆/H₂ガスを用い、加速エネルギーが10keV、注入量が4×10¹⁵cm⁻²の条件でポリシリコン膜403にB(ボロシ)をイオン注入して、高濃度不純物領域403aを形成する。

・【0166】n型高電圧駆動用TFTの場合は、PH₃/H₂ガスを用い、加速エネルギーが90keV、注入量が1×10¹⁴cm⁻²の条件でポリシリコン膜403にP(リン)をイオン注入した後、続けて加速エネルギーが10keV、注入量が4×10¹⁵cm⁻²の条件でポリシリコン膜403にP(リン)をイオン注入して、高濃度不純物領域403a及びLDD領域403bを形成する。その後、基板401の上側全面に280mJ/cm²のパワーでレーザ照射を行って不純物を活性化させる。

・【0167】次に、図54(a)、(b)に示すように、プラズマCVD法により、基板401の上側全面に、層間絶縁膜410として、シリコン酸化膜を30nm、シリコン窒化膜を370nmの厚さに順次形成する。その後、層間絶縁膜410の上に、コンタクトホール形成用開口部が設けられたレジスト膜(図示せず)を形成し、CF₄+O₂及びHF+NH₄F+H₂O溶液を用いて層間絶縁膜410をエッチングして、高濃度不純物領域403a及びゲート電極406、409に通じるコンタクトホールをそれぞれ形成する。その後、レジスト膜を除去する。

・【0168】次いで、スパッタ法により、基板401の上側全面にTi膜を100nm、Al膜を200nm、Ti膜を100nmの厚さに順次形成して、3層構造の導電体膜を形成する。そして、この導電体膜上に所定のパターンのレジスト膜(図示せず)を形成し、Cl₂+BCl₃+CCl₄ガスを用いて導電体膜をパターンニングする。これにより、図55(a)、(b)に示すように、高濃度不純物領域403a及びゲート電極506、

409に電気的に接続した電極411を形成する。

・【0169】このようにして、本実施の形態の薄膜トランジスタ装置が製造される。本実施の形態では、上記の方法により、ゲート絶縁膜が薄く、低電圧で高速動作が可能な薄膜トランジスタと、ゲート絶縁膜が厚く、高電圧で動作可能な薄膜トランジスタとを比較的簡単な工程で形成することができる。この場合、低電圧駆動用TFT及び高電圧駆動用TFTのゲート絶縁膜の厚さを精度よく制御することができるので、特性のばらつきが回避される。また、ポリシリコン膜とゲート絶縁膜との界面

に影響を及ぼさないので、特性劣化が回避される。
・【0170】（付記1）基板上に形成された第1、第2及び第3の半導体膜と、第1及び第2の絶縁膜と、第1、第2及び第3のゲート電極とにより構成される第1、第2及び第3の薄膜トランジスタを有し、前記第1の薄膜トランジスタ形成領域では、前記第1の半導体膜の上に前記第1の絶縁膜が形成され、前記第1の絶縁膜の上に前記第1のゲート電極が形成され、前記第1の絶縁膜及び前記第1のゲート電極の上に前記第2の絶縁膜が形成され、前記第1の半導体膜にはチャンネル領域側の先端が前記第1のゲート電極のエッジの下方に位置する一対の高濃度不純物領域が形成されて前記第1の薄膜トランジスタを構成し、前記第2の薄膜トランジスタ形成領域では、前記第2の半導体膜の上に前記第1及び第2の絶縁膜が積層され、前記第2の絶縁膜の上に前記第2のゲート電極が形成され、前記第2の半導体膜には、上から見たときに少なくとも一方のチャンネル領域側先端部分が前記第2のゲート電極のエッジ部分に重なる一対の高濃度不純物領域が形成されて前記第2の薄膜トランジスタを構成し、前記第3の薄膜トランジスタ形成領域では、前記第3の半導体膜の上に前記第1及び第2の絶縁膜が積層され、前記第2の絶縁膜の上に前記第3のゲート電極が形成され、前記第3の半導体膜には一対の高濃度不純物領域と、該高濃度不純物領域とチャンネル領域との間に配置され、チャンネル領域側の先端が前記第3のゲート電極のエッジの下方に位置する一対の低濃度不純物領域が形成されて前記第3の薄膜トランジスタを構成することを特徴とする薄膜トランジスタ装置。

・【0171】（付記2）前記第2の薄膜トランジスタのうちn型薄膜トランジスタは、一対の高濃度不純物領域のうちソース側の高濃度不純物領域の先端部分のみが前記第2のゲート電極のエッジ部分に重なり、ドレイン側の高濃度不純物領域とチャンネル領域との間には低濃度不純物領域が設けられ、前記第2の薄膜トランジスタのうちp型薄膜トランジスタは、一対の高濃度不純物領域のチャンネル領域側の先端部分がいずれも前記第2のゲート電極のエッジ部分に重なることを特徴とする付記1に記載の薄膜トランジスタ装置。

・【0172】（付記3）前記第1のゲート電極と同じ配線層に、蓄積容量を構成する蓄積容量電極が形成されて

いることを特徴とする付記1に記載の薄膜トランジスタ装置。（付記4）前記第2及び第3のゲート電極と同じ配線層に、前記第1、第2及び第3の薄膜トランジスタのソース電極及びドレイン電極が形成されていることを特徴とする付記1に記載の薄膜トランジスタ装置。

・【0173】（付記5）基板上に半導体膜を形成し、この半導体膜をパターンニングして、第1、第2及び第3の半導体膜を形成する工程と、前記基板上に前記第1、第2及び第3の半導体膜を被覆する第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の金属膜を形成し、この第1の金属膜をパターンニングして、前記第1の半導体膜の上方の前記第1の絶縁膜の上に第1のゲート電極を形成し、前記第2及び第3の半導体膜の上方の前記第1の絶縁膜の上に第1及び第2の金属パターンを形成する工程と、前記第1のゲート電極、前記第1及び第2の金属パターンをマスクにして前記第1、第2及び第3の半導体膜に不純物を注入する第1の不純物注入工程と、前記第1及び第2の金属パターンを除去する工程と、前記第1、第2及び第3の半導体膜の上方の前記第1の絶縁膜及び前記第1のゲート電極の上に第2の絶縁膜を形成する工程と、前記第2及び第3の半導体膜の上方の前記第2の絶縁膜の上に第2及び第3のゲート電極を形成する工程と、前記第3のゲート電極をマスクにして前記第3の半導体膜に不純物を注入する第2の不純物注入工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【0174】（付記6）前記第2のゲート電極を、前記第1の金属パターンの位置から幅方向にずらして形成することを特徴とする付記5に記載の薄膜トランジスタ装置の製造方法。

・（付記7）前記第2の不純物注入工程では、前記第1の不純物注入工程よりも少ない注入量で前記第2のゲート電極の側部にも不純物を注入することを特徴とする付記6に記載の薄膜トランジスタ装置の製造方法。

・【0175】（付記8）前記第2のゲート電極を、前記第1の金属パターンの幅よりも広く形成することを特徴とする付記5に記載の薄膜トランジスタ装置の製造方法。

・（付記9）前記第3のゲート電極を、前記第2の金属パターンよりも狭い幅で形成することを特徴とする付記5に記載の薄膜トランジスタ装置の製造方法。

・（付記10）基板上に形成された第1及び第2の薄膜トランジスタを有し、前記第1の薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域を有する第1の半導体膜と、前記第1の半導体膜のチャンネル領域及び前記一対の高濃度不純物領域の上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極とにより構成され、前記第2の薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純

物領域と前記チャネル領域との間に形成された一対の低濃度不純物領域とを有する第2の半導体膜と、前記第2の半導体膜の前記チャネル領域及び前記低濃度不純物領域の上を覆う厚膜部と前記高濃度不純物領域の上を覆う薄膜部とにより構成される第2のゲート絶縁膜と、前記第2のゲート絶縁膜の前記厚膜部の上に形成された第2のゲート電極とにより構成されていることを特徴とする薄膜トランジスタ装置。

・【0176】(付記11) 前記第2のゲート絶縁膜は、前記第2の半導体膜の前記チャネル領域及び前記低濃度不純物領域上に形成された第1の絶縁膜と、前記第2の半導体膜の前記高濃度不純物領域上及び前記第2の半導体膜上の前記第1の絶縁膜の上に形成された第2の絶縁膜とにより構成され、前記第1のゲート絶縁膜は、前記第2の絶縁膜のみで構成されていることを特徴とする付記10に記載の薄膜トランジスタ装置。

・【0177】(付記12) 基板上に形成された第1及び第2の薄膜トランジスタを有し、前記第1の薄膜トランジスタは、チャネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャネル領域との間に不純物を導入して形成された一対の擬似LDD領域とを有する第1の半導体膜と、前記第1の半導体膜のチャネル領域及び前記擬似LDD領域の上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極とにより構成され、前記第2の薄膜トランジスタは、チャネル領域を挟んで形成された一対の高濃度不純物領域と、これらの不純物領域と前記チャネル領域との間に配置されて前記第1の薄膜トランジスタの前記擬似LDD領域よりも不純物濃度が低い低濃度不純物領域とを有する第2の半導体膜と、前記第2の半導体膜の前記チャネル領域及び前記低濃度不純物領域の上に前記第1のゲート絶縁膜よりも厚く形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とにより構成されていることを特徴とする薄膜トランジスタ装置。

・【0178】(付記13) 前記第1のゲート絶縁膜は単層の第1の絶縁膜により構成され、前記第2のゲート絶縁膜は前記第1の絶縁膜と、前記第1の絶縁膜よりも厚い第2の絶縁膜とを積層して構成されていることを特徴とする付記12に記載の薄膜トランジスタ装置。

・(付記14) 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜のうち第2の半導体膜の上にのみ第1の絶縁膜を形成する工程と、前記基板の上側全面に第2の絶縁膜を形成する工程と、前記第1の半導体膜の上方の前記第2の絶縁膜の上に第1のゲート電極を形成し、前記第2の半導体膜の上方の前記第2の絶縁膜の上に前記第1の絶縁膜よりも狭い幅で第2のゲート

電極を形成する工程と、前記第2の絶縁膜を透過する条件で前記第1及び第2の半導体膜に不純物をイオン注入して第1のゲート電極を挟む位置及び前記第1の絶縁膜を挟む位置にそれぞれ高濃度不純物領域を形成し、前記第2の半導体膜上に積層した前記第1及び第2の絶縁膜を透過する条件で前記第2の半導体膜に不純物をイオン注入して前記第2のゲート電極を挟む位置に低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

10 ・【0179】(付記15) 前記第1の絶縁膜を、前記第2の絶縁膜よりも厚く形成することを特徴とする付記14に記載の薄膜トランジスタ装置の製造方法。

・(付記16) 前記第1の絶縁膜を形成する工程と前記第2の絶縁膜を形成する工程との間に、酸素を含むガス雰囲気中で前記第1及び第2の半導体膜をプラズマ処理する工程と、フッ酸を含む溶液で前記第1及び第2の半導体膜を処理する工程とを有することを特徴とする付記14に記載の薄膜トランジスタ装置の製造方法。

・【0180】(付記17) 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜のうち第2の半導体膜の上にのみ第1の絶縁膜を形成する工程と、前記基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に導電体膜を形成する工程と、前記第1の半導体膜の上方の前記導電体膜の上に第1のマスクパターンを形成するとともに、前記第2の半導体膜の上方の前記導電体膜の上に第2のマスクパターンを形成する工程と、前記第1及び第2のマスクパターンをマスクとして前記導電体膜をサイドエッチングし、前記第1及び第2のマスクパターンよりも幅が狭い第1及び第2のゲート電極を形成する工程と、前記第1及び第2のマスクパターンをマスクとして前記第1及び第2の絶縁膜を異方性エッチングして前記第1の半導体膜上に第1のゲート絶縁膜を形成し、前記第2の半導体膜上に第2のゲート絶縁膜を形成する工程と、前記マスクパターンを除去する工程と、前記第1の半導体膜の前記第1のゲート電極の両側にそれぞれ不純物をイオン注入して一対の高濃度不純物領域を形成し、前記第2の半導体膜の前記第2のゲート電極の両側にそれぞれ不純物をイオン注入して一対の高濃度不純物領域を形成し、更に前記第2のゲート電極をマスクとし、前記第2のゲート絶縁膜を透過する条件で前記第2の半導体膜に不純物をイオン注入して前記第2のゲート電極の両側に一対の低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【0181】(付記18) 前記第1の絶縁膜を、前記第2の絶縁膜よりも厚く形成することを特徴とする付記17に記載の薄膜トランジスタ装置の製造方法。

・(付記19) 前記第1の絶縁膜を形成する工程と前記第2の絶縁膜を形成する工程との間に、酸素を含むガス雰囲気中で前記第1の半導体膜をプラズマ処理する工程と、フッ酸を含む溶液で前記第1の半導体膜を処理する工程とを有することを特徴とする付記17に記載の薄膜トランジスタ装置の製造方法。

・【0182】(付記20) 基板上に形成された高電圧駆動用薄膜トランジスタと低電圧駆動用薄膜トランジスタとを有し、前記高電圧駆動用薄膜トランジスタのゲート絶縁膜は、第1及び第2の絶縁膜を積層して構成され、前記低電圧駆動用トランジスタのゲート電極の下方のゲート絶縁膜のうち、前記低電圧駆動用トランジスタの半導体膜のエッジ部分と前記ゲート電極とが交差する部分が前記第1及び第2の絶縁膜を積層して構成され、他の部分が第2の絶縁膜の単層で構成されていることを特徴とする薄膜トランジスタ装置。

・【0183】(付記21) 前記高電圧駆動用薄膜トランジスタの半導体膜には、チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャンネル領域との間に配置された一対の低濃度不純物領域とが形成され、前記低電圧駆動用薄膜トランジスタの半導体膜には、チャンネル領域を挟んで配置された一対の高濃度不純物領域のみが形成されていることを特徴とする付記20に記載の薄膜トランジスタ装置。

・【0184】(付記22) 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、前記第1の半導体膜の中央部上の前記第1の絶縁膜をウェットエッチングで除去する工程と、前記基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に導電体膜を形成する工程と、前記導電体膜上に所定のゲート電極形状のレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記導電体膜をサイドエッチングし、前記第1の半導体膜の上方に第1のゲート電極を形成し、前記第2の半導体膜の上方に第2のゲート電極を形成する工程と、前記レジストパターンをマスクとして前記第1及び第2の絶縁膜を異方性エッチングする工程と、前記第1及び第2の半導体膜に不純物を注入する不純物注入工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【0185】(付記23) 前記不純物注入工程において、前記低電圧駆動用薄膜トランジスタ形成領域では、前記第1のゲート電極の両側の前記第1の半導体膜に不純物を注入して一対の高濃度不純物領域を形成し、前記低電圧駆動用薄膜トランジスタ形成領域では、前記第2の半導体膜上に残存する第1及び第2の絶縁膜をマスクとして前記第2の半導体膜に不純物を注入して一対の高

濃度不純物を形成し、更に前記第1及び第2の絶縁膜を透過する条件で前記第2の半導体膜に不純物を注入して前記高濃度不純物領域とチャンネル領域との間に低濃度不純物領域を形成することを特徴とする付記22に記載の薄膜トランジスタ装置の製造方法。

・【0186】(付記24) 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、前記第1の半導体膜の中央部上、及び前記第2の半導体膜の高濃度不純物領域となる領域上の前記第1の絶縁膜をウェットエッチングで除去する工程と、前記基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上に導電体膜を形成する工程と、前記導電体膜上に所定のゲート電極形状のレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記導電体膜をエッチングし、前記第1の半導体膜の上方に第1のゲート電極を形成し、前記第2の半導体膜の上方に第2のゲート電極を形成する工程と、前記第1及び第2の半導体膜に不純物を注入する不純物注入工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【0187】(付記25) 基板上に形成された高電圧駆動用薄膜トランジスタと低電圧駆動用薄膜トランジスタとを有し、前記低電圧駆動用薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域を有する第1の半導体膜と、前記第1の半導体膜の前記チャンネル領域上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜の上に形成された第1のゲート電極とにより構成され、前記高電圧駆動用薄膜トランジスタは、チャンネル領域を挟んで形成された一対の高濃度不純物領域と、これらの高濃度不純物領域と前記チャンネル領域との間に形成された低濃度不純物領域とを有する第2の半導体膜と、前記チャンネル領域及び前記低濃度不純物領域の上に前記第1のゲート絶縁膜よりも厚く形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とにより構成されていることを特徴とする薄膜トランジスタ装置。

・【0188】(付記26) 前記第1のゲート絶縁膜は、第1の絶縁膜のみで構成され、前記第2のゲート絶縁膜は前記第1の絶縁膜と第2の絶縁膜とを積層して構成されていることを特徴とする付記25に記載の薄膜トランジスタ装置。

・(付記27) 前記第1及び第2の絶縁膜はいずれもシリコン酸化膜からなることを特徴とする付記26に記載の薄膜トランジスタ装置。

・【0189】(付記28) 基板上に半導体膜を形成し、この半導体膜をパターンニングして低電圧駆動用薄膜トランジスタ形成領域に第1の半導体膜を形成し、高電圧駆

動用薄膜トランジスタ形成領域に第2の半導体膜を形成する工程と、前記第1及び第2の半導体膜の上に第1の絶縁膜を形成する工程と、前記第1の半導体膜の上方の前記第1の絶縁膜の上に第1のゲート電極を形成する工程と、前記基板の上側全面に第2の絶縁膜を形成する工程と、前記第2の半導体膜の上方の前記第2の絶縁膜の上に第2のゲート電極を形成する工程と、前記第1及び第2の絶縁膜をエッチングして、前記第1のゲート電極の下方に第1のゲート絶縁膜を形成し、前記第2のゲート電極の下方に第2のゲート電極よりも幅が広い第2のゲート絶縁膜を形成する工程と、前記第1の半導体膜の前記第1のゲート電極の両側部に不純物を注入して一対の高濃度不純物領域を形成するとともに、前記第2の半導体膜の前記第2のゲート絶縁膜の両側部に不純物を注入して一対の高濃度不純物領域を形成し、更に前記第2のゲート絶縁膜を透過する条件で前記第2の半導体膜に不純物を導入して前記第2のゲート電極の両側部に一対の低濃度不純物領域を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

・【0190】(付記29) 付記1, 10, 12, 20, 25のいずれか1項に記載された薄膜トランジスタ装置と、前記基板上に形成された液晶セルとを有することを特徴とする液晶表示装置。

・【0191】

・【発明の効果】以上説明したように、本発明の薄膜トランジスタ装置によれば、低電圧駆動用薄膜トランジスタのリーク電流が低減される。低電圧駆動用薄膜トランジスタは、ゲート絶縁膜が薄く、且つLDD領域(低濃度不純物領域)を有していないので、低電圧での高速動作が可能である。また、低電圧駆動用薄膜トランジスタは、ゲート絶縁膜が厚く、少なくとも一方の高濃度不純物領域側にLDD領域を有しているので、耐圧が高く、高電圧で使用してもホットキャリアの発生が回避される。

・【0192】また、本発明の薄膜トランジスタ装置の製造方法によれば、ゲート絶縁膜が薄く、低電圧で高速動作する低電圧駆動用薄膜トランジスタと、ゲート絶縁膜が厚く、高電圧での駆動が可能であり、ホットキャリアによる特性の劣化が少ない高電圧駆動用薄膜トランジスタとを容易に形成することができる。本発明によれば、液晶表示装置や有機EL表示装置等の薄膜トランジスタ装置の性能を向上させることができ、且つ製造コストを低減することができる。

・【図面の簡単な説明】

・【図1】図1は本発明の第1の実施の形態の薄膜トランジスタ装置(透過型液晶表示装置)の構成を示すブロック図である。

・【図2】図2(a)は、第1の実施の形態の薄膜トランジスタ装置の低電圧駆動用TFTの構造を示す断面図、図2(b)は高電圧駆動用n型TFTの構造を示す断面

図、図2(c)は高電圧駆動用p型TFTの構造を示す断面図、図2(d)は画素TFT(n型)の構造を示す断面図である。

・【図3】図3は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その1)である。

・【図4】図4は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その2)である。

・【図5】図5は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その3)である。

10 ・【図6】図6は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その4)である。

・【図7】図7は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その5)である。

・【図8】図8は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その6)である。

・【図9】図9は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その7)である。

・【図10】図10は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その8)である。

20 ・【図11】図11は第1の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その9)である。

・【図12】図12は本発明の第2の実施の形態の液晶表示装置の製造方法を示す断面図(その1)である。

・【図13】図13は本発明の第2の実施の形態の液晶表示装置の製造方法を示す断面図(その2)である。

・【図14】図14(a)は第2の実施の形態の液晶表示装置のデータバスラインとゲートバスラインとの交差部を示す平面図、図14(b)は図14(a)のA-A線による断面図である。

30 ・【図15】図15は第1及び第2の実施の形態の変形例を示す図(その1)である。

・【図16】図16は第1及び第2の実施の形態の変形例を示す図(その2)である。

・【図17】図17は第2の実施の形態の変形例を示す図である。

・【図18】図18(a)は本発明の第3の実施の形態の薄膜トランジスタ装置(液晶表示装置)の低電圧駆動用TFTの構造を示す断面図、図18(b)は同じくその高電圧駆動用TFTの構造を示す断面図である。

40 ・【図19】図19は第3の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その1)である。

・【図20】図20は第3の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その2)である。

・【図21】図21は第3の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その3)である。

・【図22】図22は第3の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その4)である。

・【図23】図23は第3の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その5)である。

50 ・【図24】図24は第3の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図(その6)である。

タ装置の変形例を示す断面図である。

・【図 25】図 25 (a) は本発明の第 4 の実施の形態の薄膜トランジスタ装置 (液晶表示装置) の低電圧駆動用 TFT の構造を示す断面図、図 25 (b) は同じくその高電圧駆動用 TFT の構造を示す断面図である。

・【図 26】図 26 は第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 1) である。

・【図 27】図 27 は第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 2) である。

・【図 28】図 28 は第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 3) である。

・【図 29】図 29 は第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 4) である。

・【図 30】図 30 は第 3 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 5) である。

・【図 31】図 31 (a) は本発明第 5 の実施の形態の薄膜トランジスタ装置の高電圧駆動用 TFT の構造のゲート電極に直交する方向の断面図、図 31 (b) は同じくその高電圧駆動用 TFT のゲート電極に平行な方向の断面図である。方向の断面を示している。

・【図 32】図 32 (a) は第 5 の実施の形態の薄膜トランジスタ装置の低電圧駆動用 TFT のゲート電極に直交する方向の断面図、図 32 (b) は同じくその低電圧駆動用 TFT のゲート電極に平行な方向の断面図である。

・【図 33】図 33 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 1) である。

・【図 34】図 34 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 2) である。

・【図 35】図 35 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 3) である。

・【図 36】図 36 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 4) である。

・【図 37】図 37 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 5) である。

・【図 38】図 38 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 6) である。

・【図 39】図 39 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 7) である。

・【図 40】図 40 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 8) である。

・【図 41】図 41 は第 5 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 9) である。

・【図 42】図 42 は第 5 の実施の形態で使用するレジストパターンの例を示す図である。

・【図 43】図 43 は本発明の第 6 の実施の形態の薄膜トランジスタ装置の製造方法を示す図 (その 1) である。

・【図 44】図 44 は本発明の第 6 の実施の形態の薄膜トランジスタ装置の製造方法を示す図 (その 2) である。

・【図 45】図 45 は本発明の第 6 の実施の形態の薄膜トランジスタ装置の製造方法を示す図 (その 3) である。

・【図 46】図 46 は第 6 の実施の形態で使用するレジストパターンの例を示す図である。

・【図 47】図 47 は第 6 の実施の形態で使用するレジストパターンの他の例を示す図である。

・【図 48】図 48 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 1) である。

・【図 49】図 49 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 2) である。

・【図 50】図 50 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 3) である。

・【図 51】図 51 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 4) である。

・【図 52】図 52 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 5) である。

・【図 53】図 53 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 6) である。

・【図 54】図 54 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 7) である。

・【図 55】図 55 は本発明の第 7 の実施の形態の薄膜トランジスタ装置の製造方法を示す断面図 (その 8) である。

・【図 56】図 56 は、従来の周辺回路一体型液晶表示装置に用いられている TFT (n 型) の一例を示す断面図である。

・【図 57】図 57 (a) は、従来の薄膜トランジスタ装置の低電圧駆動用 TFT の構造を示す断面図、図 57 (b) は同じくその高電圧駆動用 TFT の構造を示す断面図である。

・【符号の説明】

10, 20, 110, 201, 221, 301, 32

1, 401…基板、

11, 21, 111, 202, 222…下地絶縁膜、

12, 22, 112, 203, 223, 303, 32

3, 43…ポリシリコン膜、

13, 23, 115, 203a, 223a, 303a,

403a…高濃度不純物領域、

14, 24, 120, 203b, 223b, 303b,

403b…低濃度不純物領域 (LDD 領域)、

15, 25a, 25b…ゲート絶縁膜、

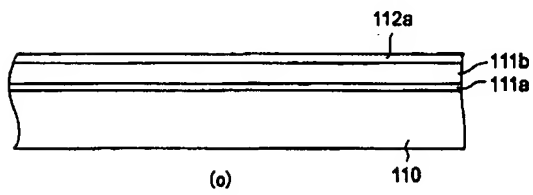
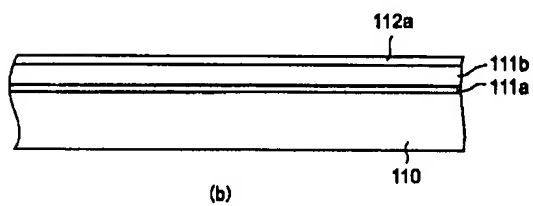
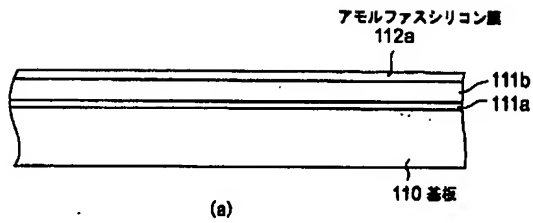
16, 26a, 26b, 114, 119, 206a, 2

06b, 226a, 226b, 306a, 306b, 3

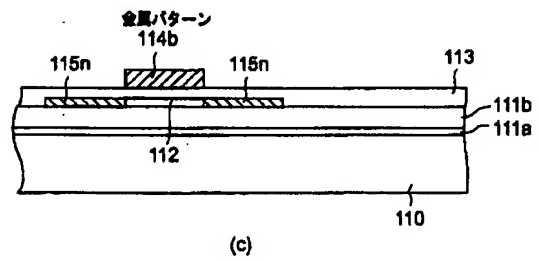
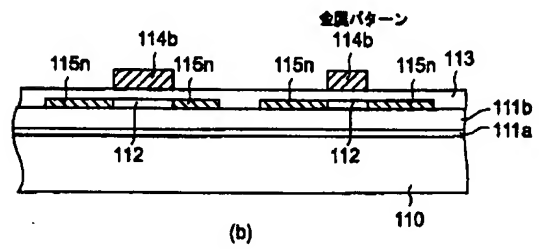
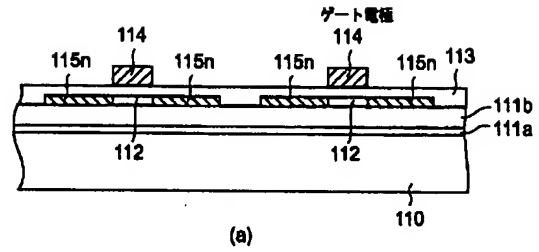
26a, 326b, 406, 409…ゲート電極、

17, 27, 410…層間絶縁膜、

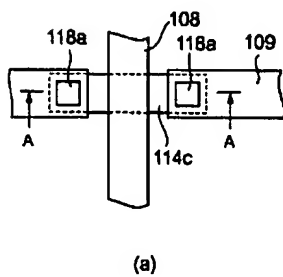
・【図3】



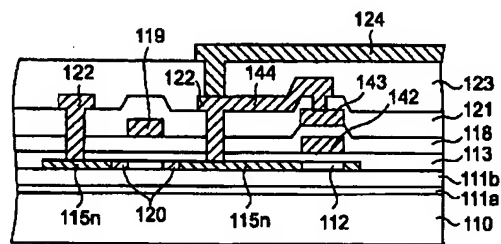
・【図5】



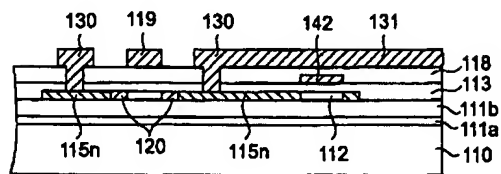
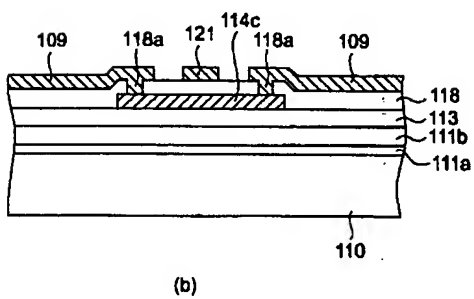
・【図14】



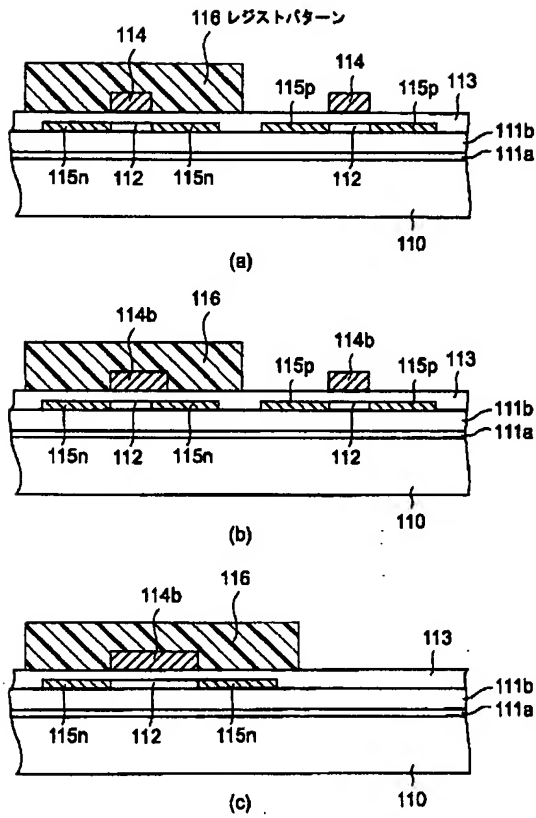
・【図16】



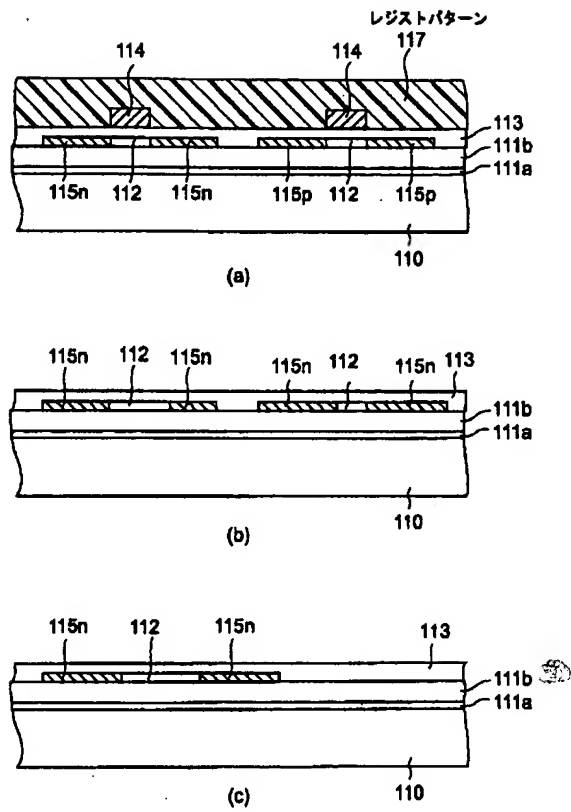
・【図17】



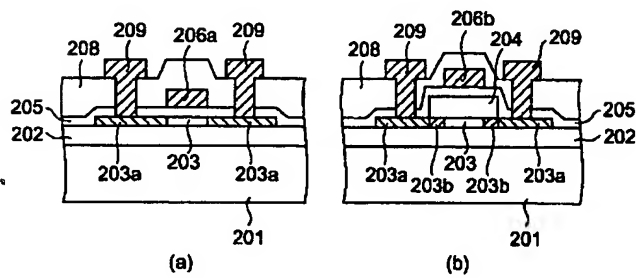
【図6】



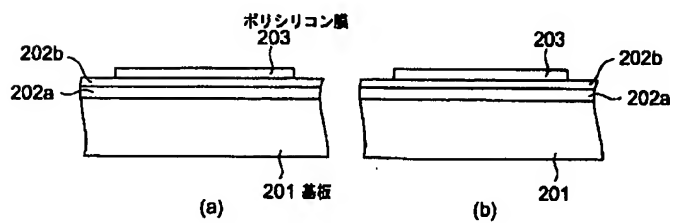
【図7】



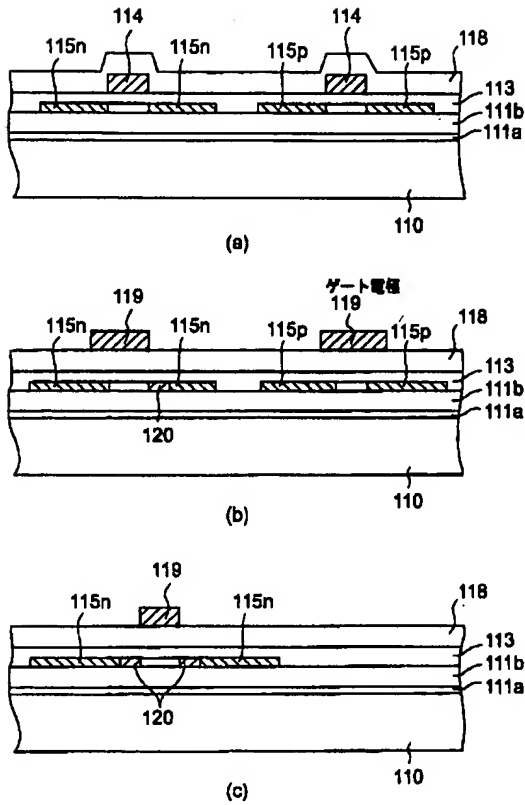
【図18】



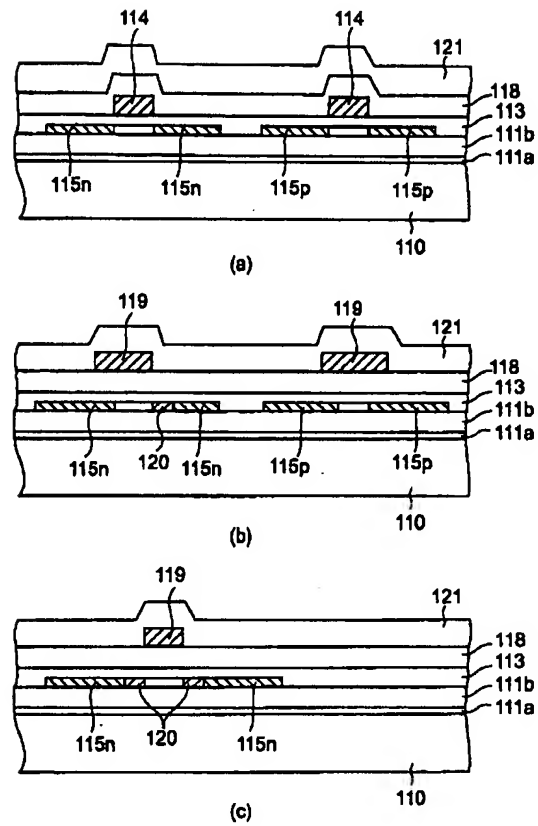
【図19】



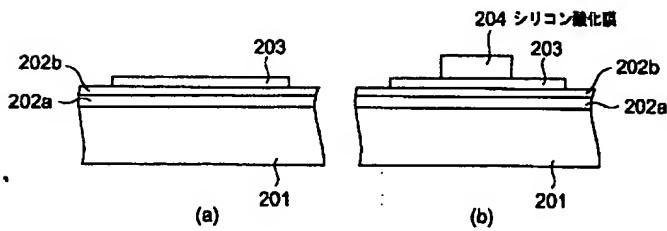
【図8】



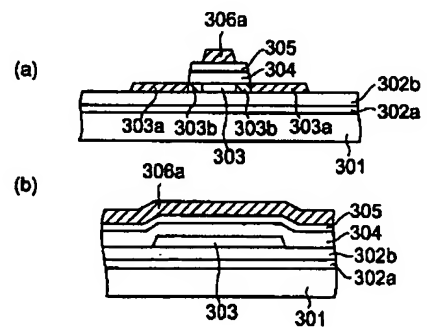
【図9】



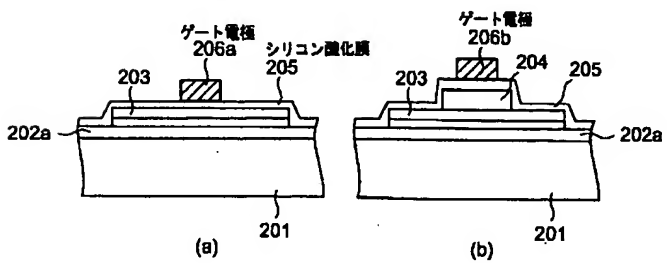
【図20】



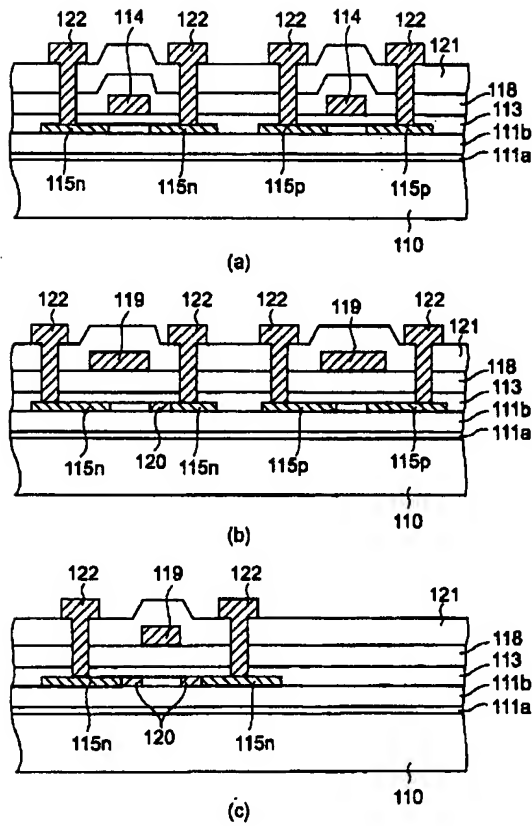
【図31】



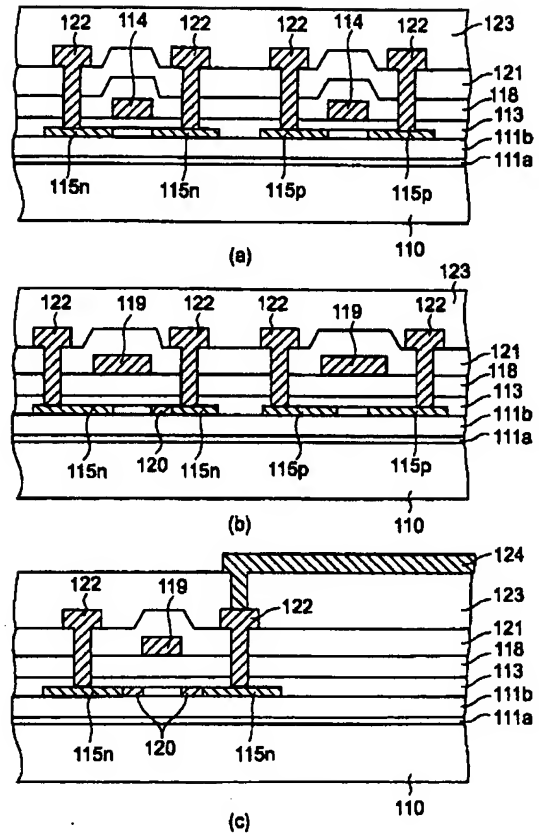
【図21】



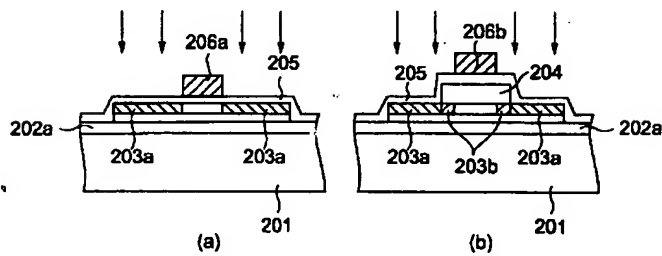
・【図10】



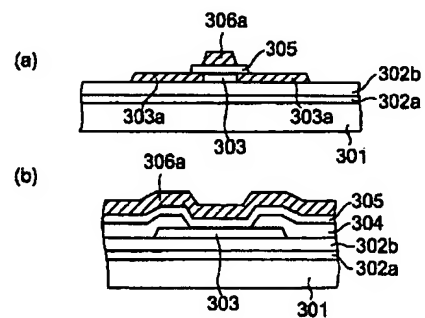
・【図11】



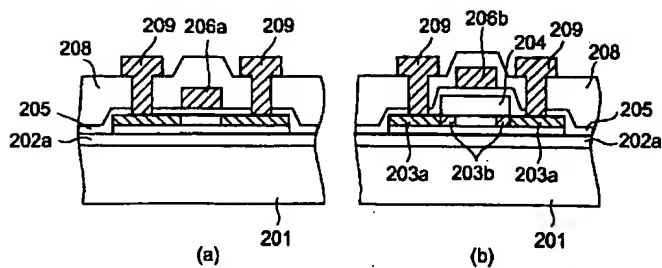
・【図22】



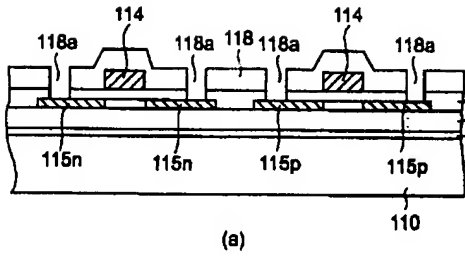
・【図32】



・【図23】

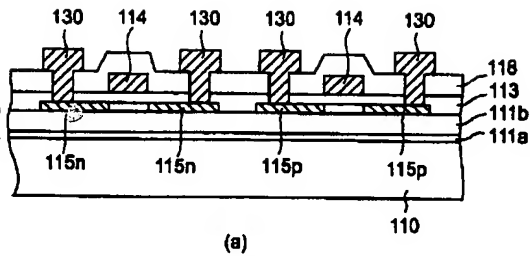


・【図12】

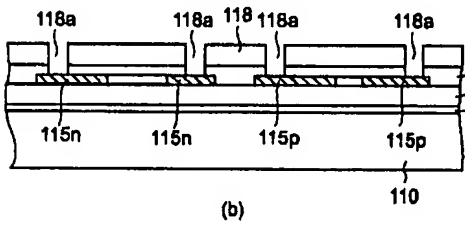


(a)

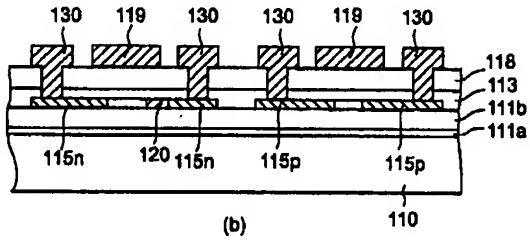
・【図13】



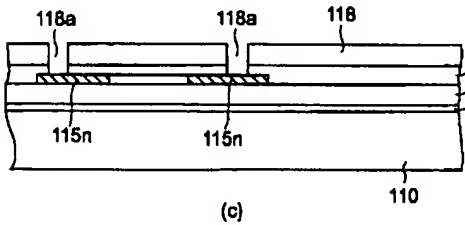
(a)



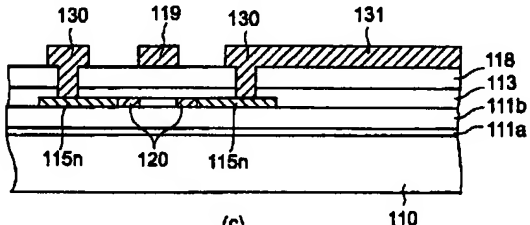
(b)



(b)

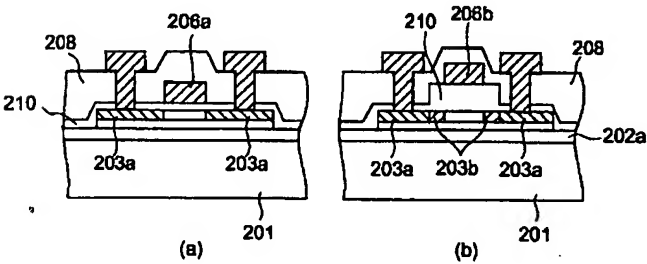


(c)



(c)

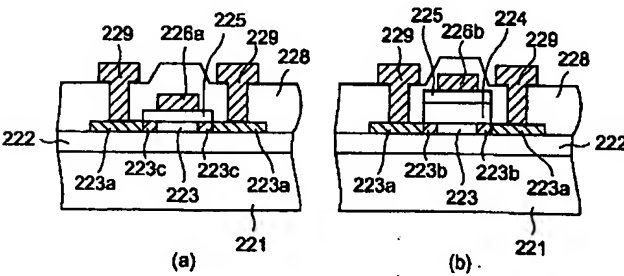
・【図24】



(a)

(b)

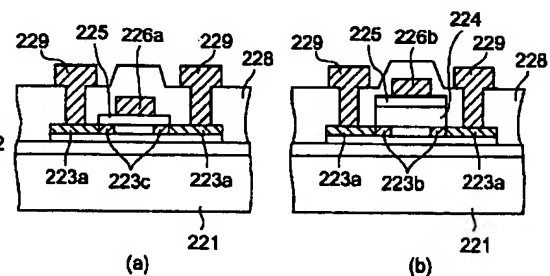
・【図25】



(a)

(b)

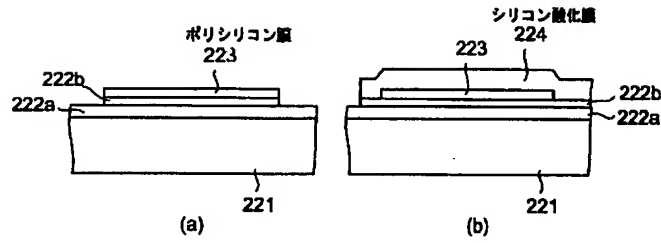
・【図30】



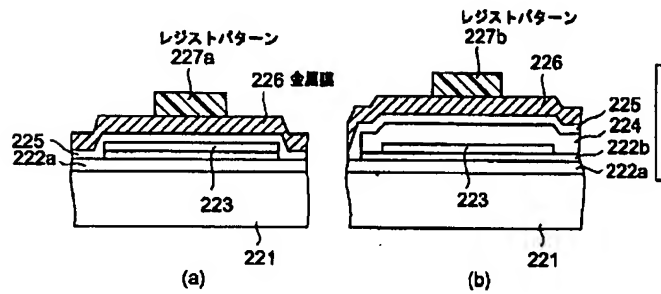
(a)

(b)

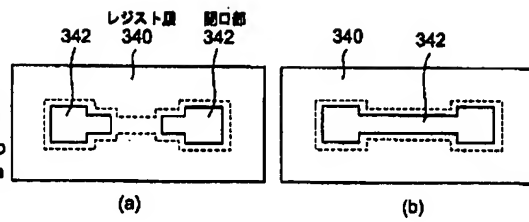
【図26】



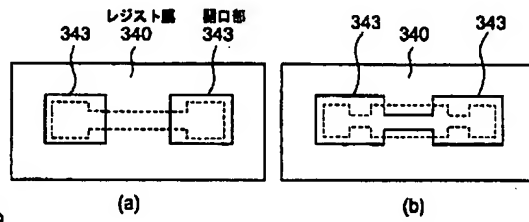
【図27】



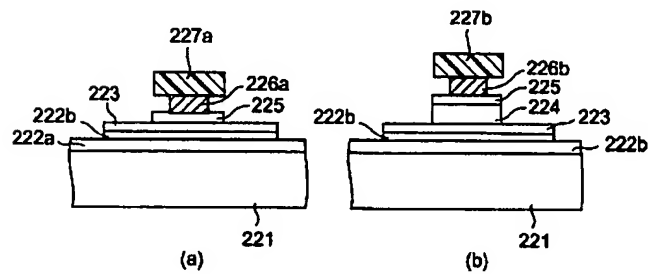
【図46】



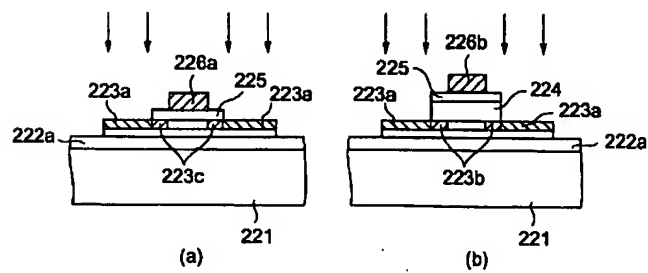
【図47】



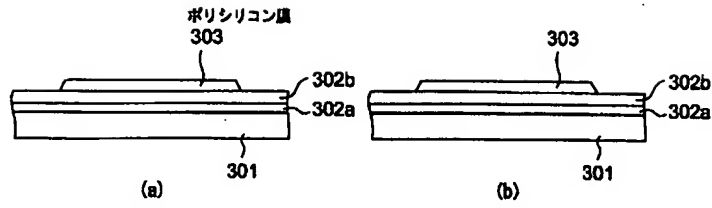
【図28】



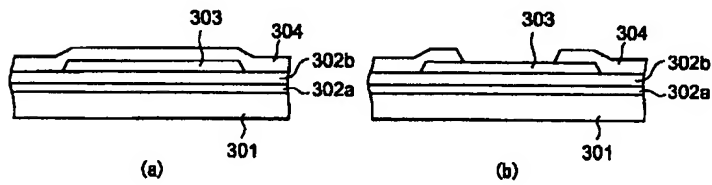
【図29】



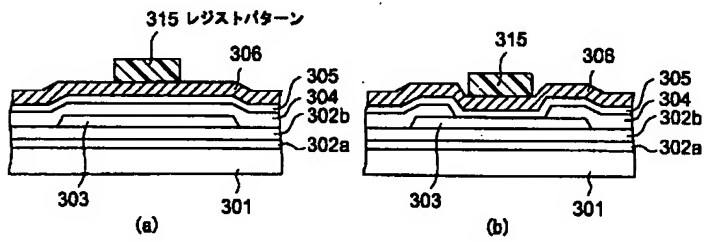
【図33】



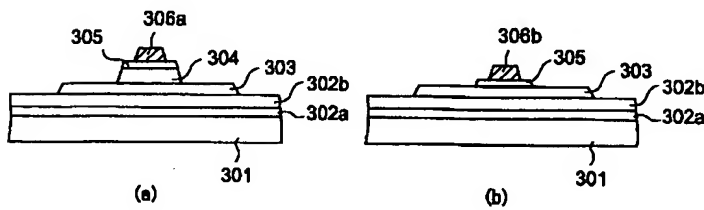
【図34】



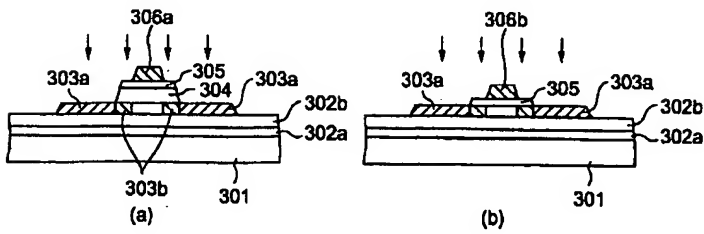
【図35】



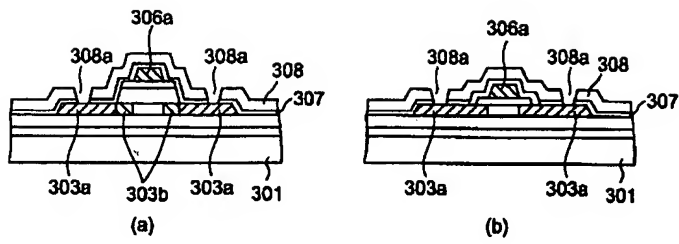
【図36】



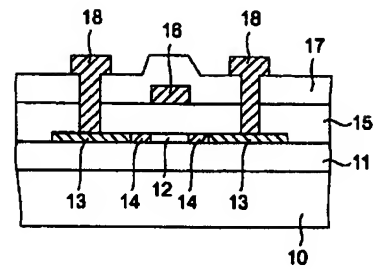
【図37】



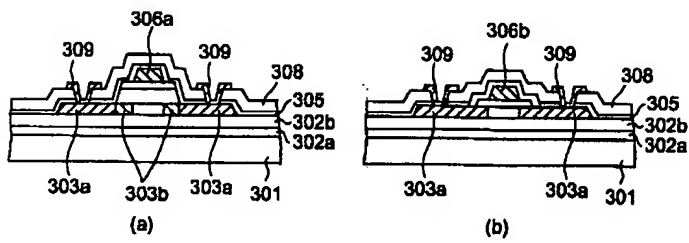
【図38】



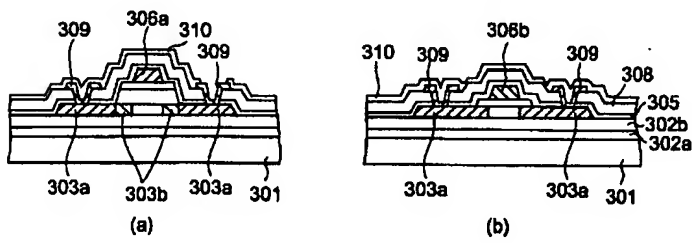
【図56】



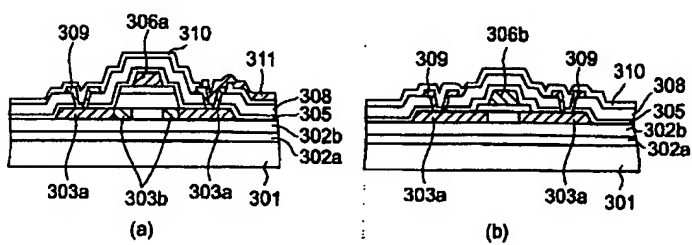
【図39】



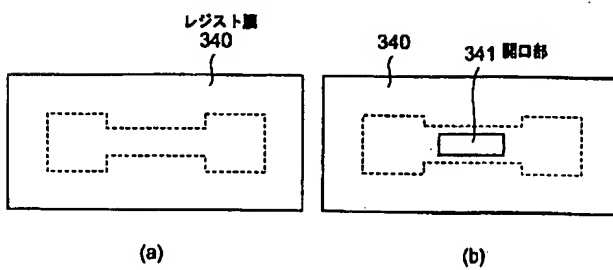
【図40】



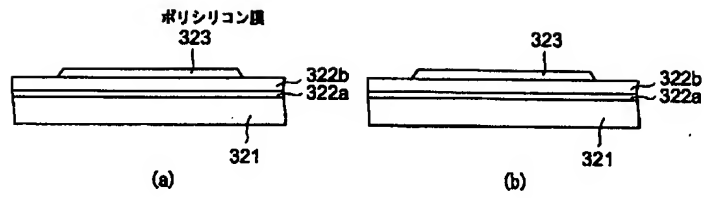
【図41】



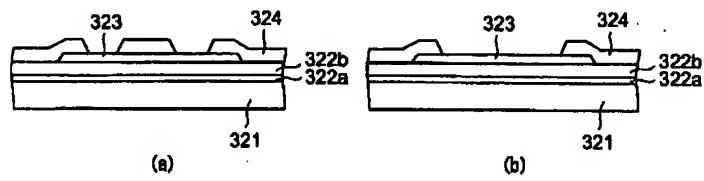
【図42】



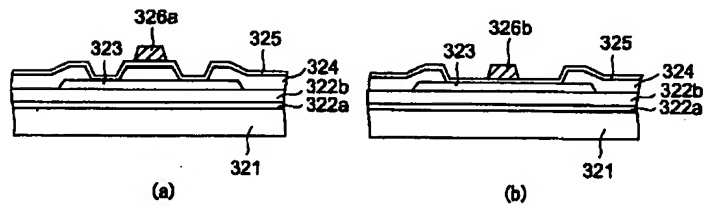
【図43】



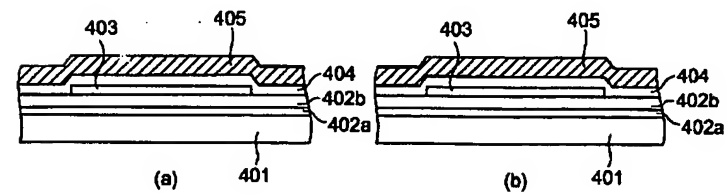
【図44】



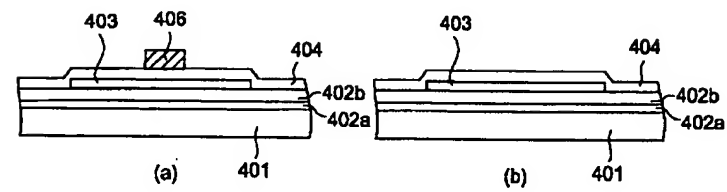
【図45】



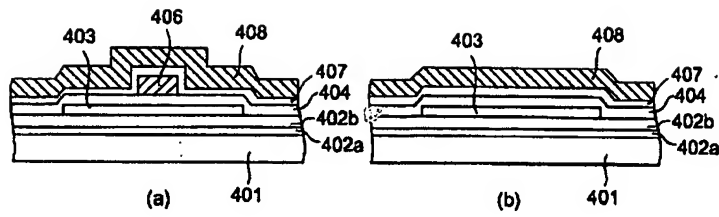
【図48】



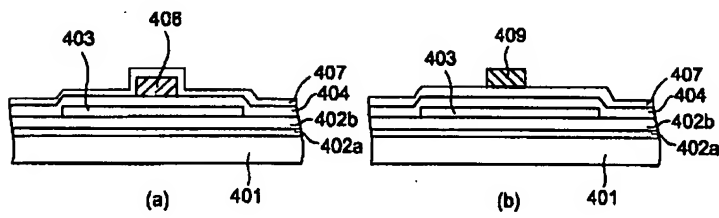
【図49】



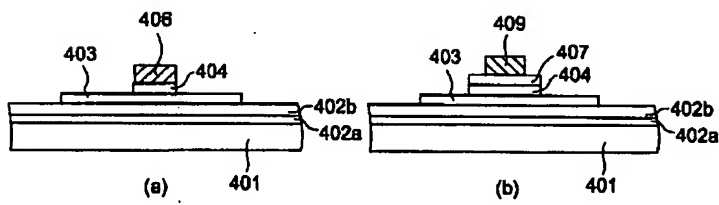
【図50】



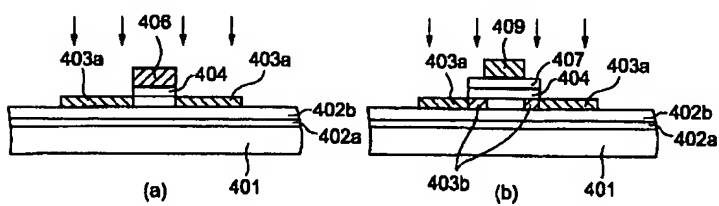
【図51】



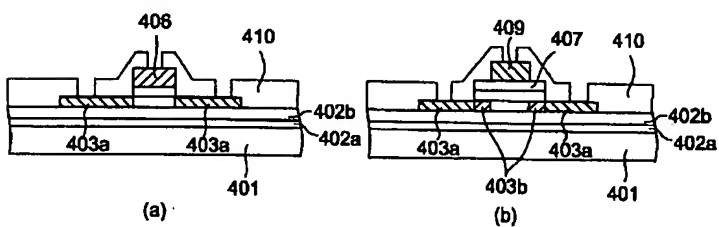
【図52】



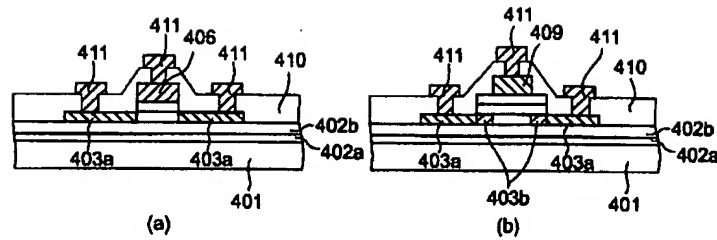
【図53】



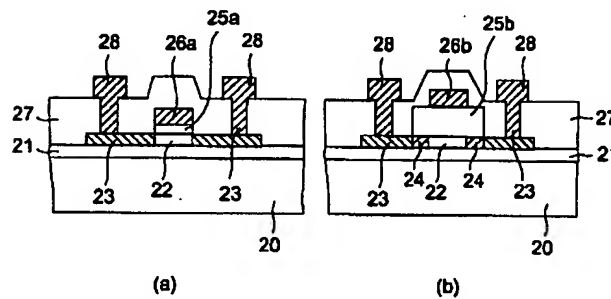
【図54】



【図55】



【図57】



フロントページの続き

(51) Int. Cl. 7.

識別記号

F I

テーマコード(参考)

・ G 0 9 F 9/30
 ・ 9/35
 ・ H 0 1 L 27/08
 ・ 29/786

3 4 8
 3 3 1

G 0 9 F 9/35
 H 0 1 L 27/08
 29/78

3 3 1 E
 6 1 7 S
 6 1 2 B
 6 1 6 A

(72)発明者 長廣 紀雄

・ 神奈川県川崎市中原区上小田中4丁目1番
 ・ 1号 富士通株式会社内

(72)発明者 堀田 和重

・ 神奈川県川崎市中原区上小田中4丁目1番
 ・ 1号 富士通株式会社内

(72)発明者 大形 公士

・ 神奈川県川崎市中原区上小田中4丁目1番
 ・ 1号 富士通株式会社内

(72)発明者 三島 康由

・ 神奈川県川崎市中原区上小田中4丁目1番
 ・ 1号 富士通株式会社内

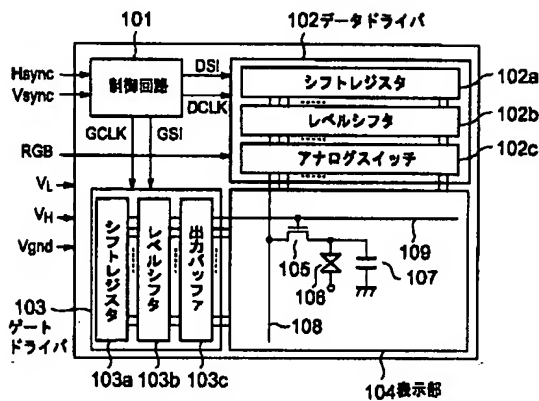
(72)発明者 佐々木 伸夫

・ 神奈川県川崎市中原区上小田中4丁目1番
 ・ 1号 富士通株式会社内

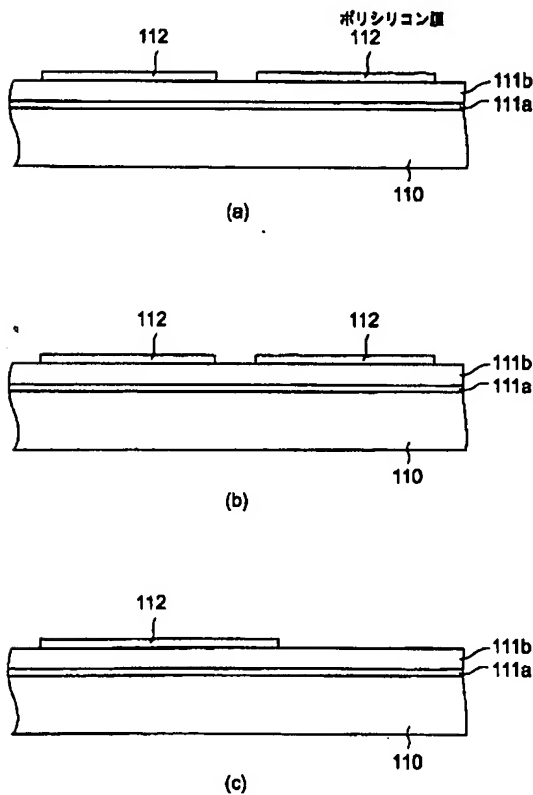
53

18, 28, 130, 209, 229, 309, 411
 …電極 (ソース・ドレイン電極)、
 101…制御回路、
 102…データドライバ、
 103…ゲートドライバ、
 104…表示部、
 105…TFT、
 106…表示セル、
 107…蓄積容量、

・【図1】



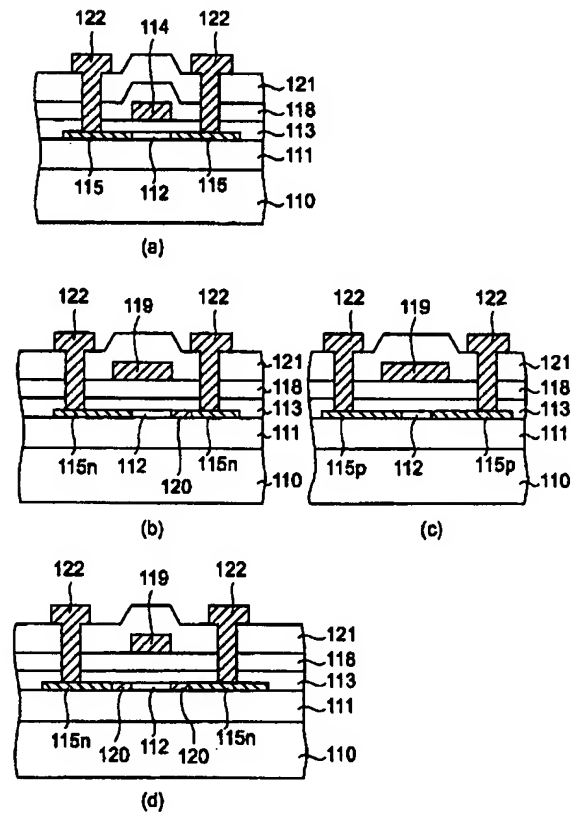
・【図4】



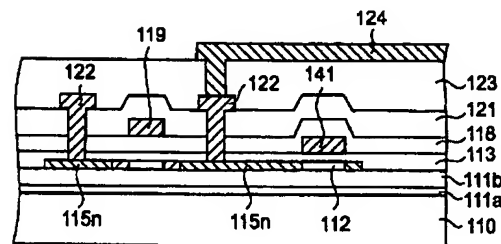
54

108…データバスライン、
 109…ゲートバスライン、
 113, 118, 202b, 204, 205, 208,
 222b, 224, 225, 302a, 304, 30
 5, 307, 322b, 324, 345, 402b, 4
 04, 407…シリコン酸化膜、
 121, 202a, 222a, 228, 302b, 30
 8, 310, 322a, 402a…シリコン窒化膜、
 223c…擬似LDD領域。

・【図2】



・【図15】



Fターム(参考) 2H092 JA24 JA28 MA18 MA27 NA21
5C094 AA13 AA23 AA25 AA31 BA03
BA43 CA19 DA15 EA04 EA07
FB15
5F048 AB10 AC04 BA16 BB11 BC06
BG07
5F110 BB02 BB04 CC02 DD01 DD02
DD13 DD14 DD17 EE03 EE04
EE06 EE44 FF02 FF03 FF09
FF30 FF35 FF36 GG02 GG13
GG25 HJ01 HJ04 HJ13 HJ23
HL03 HL04 HL06 HL11 HL12
HM12 HM14 HM15 NN03 NN04
NN23 NN24 NN27 NN35 NN36
NN72 NN73 NN78 PP03 PP10
PP29 PP35 QQ11 QQ23 QQ24
5G435 AA14 AA16 BB12 CC09 HH14
KK05 KK09 KK10